



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Joichiro EZAKI, et al.

GAU: 2818

SERIAL NO: 10/669,561

EXAMINER:

FILED: September 25, 2003

FOR: MAGNETIC MEMORY DEVICE, METHOD FOR WRITING ON THE SAME AND METHOD FOR
READING FROM THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-280094	September 25, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

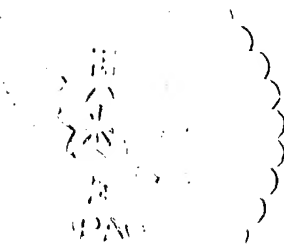
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 2 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 8 0 0 9 4
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 8 0 0 9 4]

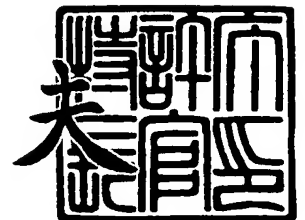
出 願 人 T D K 株 式 会 社
Applicant(s):



2 0 0 3 年 1 0 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 TD04431

【提出日】 平成14年 9月25日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/15

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケー株式会社内

【氏名】 江▲崎▼ 城一郎

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケー株式会社内

【氏名】 柿沼 裕二

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケー株式会社内

【氏名】 古賀 啓治

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケー株式会社

【代理人】

【識別番号】 100109656

【弁理士】

【氏名又は名称】 三反崎 泰司

【代理人】

【識別番号】 100098785

【弁理士】

【氏名又は名称】 藤島 洋一郎

【手数料の表示】

【予納台帳番号】 019482

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気メモリデバイス、並びに磁気メモリデバイスの書込方法
および読出方法

【特許請求の範囲】

【請求項 1】 複数の第 1 の書込線と、

前記複数の第 1 の書込線とそれぞれ交差するように延びる複数の第 2 の書込線と、

外部磁界によって磁化方向が変化する感磁層を含み積層面に垂直な方向に電流が流れるように構成された積層体と、この積層体の一方の面側に前記積層面に沿った方向を軸方向とするように配設されると共に前記第 1 および第 2 の書込線によって貫かれるように構成された環状磁性層とを含む複数の磁気抵抗効果素子とを備え、

1 つの記憶セルが一对の前記磁気抵抗効果素子を含んで構成されていることを特徴とする磁気メモリデバイス。

【請求項 2】 前記感磁層と前記環状磁性層とが電氣的に接続されていることを特徴とする請求項 1 に記載の磁気メモリデバイス。

【請求項 3】 前記環状磁性層を貫く第 1 および第 2 の書込線の双方を流れる電流により生ずる磁界によって、前記一对の磁気抵抗効果素子における各感磁層の磁化方向が互いに反平行を向くように変化し、前記記憶セルに情報が記憶される

ことを特徴とする請求項 1 または請求項 2 に記載の磁気メモリデバイス。

【請求項 4】 前記一对の磁気抵抗効果素子における一对の感磁層の一方が第 1 の方向に磁化し他方が前記第 1 の方向と反平行をなす第 2 の方向に磁化する第 1 の状態と、前記一对の感磁層の一方が前記第 2 の方向に磁化し他方が前記第 1 の方向に磁化する第 2 の状態、のいずれかをとり、前記第 1 および第 2 の状態に対応して前記記憶セルに情報が記憶される

ことを特徴とする請求項 3 に記載の磁気メモリデバイス。

【請求項 5】 前記一对の磁気抵抗効果素子にそれぞれ接続され、各磁気抵抗効果素子に読出電流を供給する一对の第 1 の読出線を備え、

前記各積層体に流れる電流に基づいて前記記憶セルから情報が読み出されることを特徴とする請求項 1 ないし請求項 4 のいずれか 1 項に記載の磁気メモリデバイス。

【請求項 6】 前記一对の第 1 の読出線の各々から前記一对の磁気抵抗効果素子の各々に読出電流が供給され、この一对の読出電流値の差分に基づいて前記記憶セルから情報が読み出される

ことを特徴とする請求項 5 に記載の磁気メモリデバイス。

【請求項 7】 前記一对の磁気抵抗効果素子に供給された読出電流の電流経路上に設けられた整流素子と、

前記一对の磁気抵抗効果素子を通じた読出電流を接地へと導く第 2 の読出線とを備えたことを特徴とする請求項 6 に記載の磁気メモリデバイス。

【請求項 8】 前記一对の磁気抵抗効果素子に供給された読出電流の各電流経路上に、前記整流素子がそれぞれ設けられている

ことを特徴とする請求項 7 に記載の磁気メモリデバイス。

【請求項 9】 前記一对の整流素子は、前記一对の第 1 の読出線と前記一对の磁気抵抗効果素子との間にそれぞれ設けられている

ことを特徴とする請求項 8 に記載の磁気メモリデバイス。

【請求項 10】 前記一对の整流素子は、前記一对の磁気抵抗効果素子と前記一对の第 2 の読出線との間にそれぞれ設けられている

ことを特徴とする請求項 8 に記載の磁気メモリデバイス。

【請求項 11】 前記整流素子は、ショットキーダイオード、PN 接合ダイオード、バイポーラトランジスタ、または MOS (Metal-Oxide-Semiconductor) トランジスタのいずれかである

ことを特徴とする請求項 7 ないし請求項 10 のいずれか 1 項に記載の磁気メモリデバイス。

【請求項 12】 1 つの記憶セルにおける一对の磁気抵抗効果素子を通じる読出電流の総和を規定する電流規定機能を有する定電流回路を備えたことを特徴とする請求項 6 ないし請求項 11 のいずれか 1 項に記載の磁気メモリデバイス。

【請求項 13】 前記定電流回路は、バンドギャップリファレンスを利用し

て構成されている

ことを特徴とする請求項 12 に記載の磁気メモリデバイス。

【請求項 14】 前記定電流回路は、ダイオードとトランジスタと抵抗器とを組み合わせで構成されている

ことを特徴とする請求項 12 または請求項 13 に記載の磁気メモリデバイス。

【請求項 15】 前記定電流回路における前記トランジスタは、前記電流規定機能に加えて、

前記一対の磁気抵抗効果素子に読出電流を流すか否かを選択するための第 1 の半導体スイッチとしても機能する

ことを特徴とする請求項 14 に記載の磁気メモリデバイス。

【請求項 16】 前記定電流回路は、前記第 2 の読出線と接地との間に配設されている

ことを特徴とする請求項 12 ないし請求項 15 のいずれか 1 項に記載の磁気メモリデバイス。

【請求項 17】 前記一対の第 1 の読出線の各々と電源との間に、一対の電流電圧変換用抵抗器が設けられている

ことを特徴とする請求項 6 ないし請求項 16 のいずれか 1 項に記載の磁気メモリデバイス。

【請求項 18】 前記電流電圧変換用抵抗器は、前記磁気抵抗効果素子の抵抗値よりも大きい抵抗値を有する

ことを特徴とする請求項 17 に記載の磁気メモリデバイス。

【請求項 19】 さらに、前記一対の第 1 の読出線ごとに設けられ、これらの第 1 の読出線を通る読出電流の差を電圧差として検知して増幅するセンスアンプ回路を備え、

前記一対の電流電圧変換用抵抗器の各々における、前記電源側とは反対側の端子が、前記センスアンプ回路の入力端に接続されている

ことを特徴とする請求項 17 または請求項 18 に記載の磁気メモリデバイス。

【請求項 20】 さらに、

前記一对の電流電圧変換用抵抗器の各々における、前記電源側とは反対側に設けられ、前記一对の磁気抵抗効果素子に読出電流を供給するか否かを選択するための一对の第 2 の半導体スイッチを備え、

前記一对の第 2 の半導体スイッチ、前記一对の電流電圧変換用抵抗器、および前記センスアンプ回路が、同一の領域内に集積配置されている

ことを特徴とする請求項 1 9 に記載の磁気メモリデバイス。

【請求項 2 1】 前記一对の第 2 の半導体スイッチ、前記一对の電流電圧変換用抵抗器、および前記センスアンプ回路が、それぞれ、対称な回路を構成している

ことを特徴とする請求項 2 0 に記載の磁気メモリデバイス。

【請求項 2 2】 複数の第 1 の書込線と、
前記複数の第 1 の書込線とそれぞれ交差するように延びる複数の第 2 の書込線と、

外部磁界によって磁化方向が変化する感磁層を含み積層面に垂直な方向に電流が流れるように構成された積層体と、前記積層体の一方の面側に前記積層面に沿った方向を軸方向とするように配設されると共に前記第 1 および第 2 の書込線によって貫かれるように構成された環状磁性層とを含む複数の磁気抵抗効果素子とを備えた磁気メモリデバイスに対して情報を書き込む方法であって、

一对の磁気抵抗効果素子を含むように 1 つの記憶セルを構成し、

前記環状磁性層を貫く前記第 1 および第 2 の書込線の双方を流れる電流により生ずる磁界によって、前記一对の磁気抵抗効果素子の各々における前記感磁層の磁化方向が互いに反平行を向くように変化させることにより前記記憶セルに情報を書き込む

ことを特徴とする磁気メモリデバイスの書込方法。

【請求項 2 3】 複数の第 1 の書込線と、
前記複数の第 1 の書込線とそれぞれ交差するように延びる複数の第 2 の書込線と、

外部磁界によって磁化方向が変化する感磁層を含み積層面に垂直な方向に電流が流れるように構成された積層体と、前記積層体の一方の面側に前記積層面に沿

った方向を軸方向とするように配設されると共に前記第 1 および第 2 の書込線によって貫かれるように構成された環状磁性層とを含む複数の磁気抵抗効果素子とを備えた磁気メモリデバイスから情報を読み出す方法であって、
一対の磁気抵抗効果素子を含むように 1 つの記憶セルを構成し、
前記一対の磁気抵抗効果素子に、各積層体の積層面に垂直な方向に読出電流を供給し、

前記積層体に流れる電流に基づいて前記記憶セルの情報を読み出す
ことを特徴とする磁気メモリデバイスの読出方法。

【請求項 24】 前記一対の磁気抵抗効果素子の各々に読出電流を供給し、
この一対の読出電流値の差分に基づいて前記記憶セルの情報を読み出す
ことを特徴とする請求項 23 に記載の磁気メモリデバイスの読出方法。

【請求項 25】 複数の第 1 の書込線と、前記複数の第 1 の書込線とそれぞれ交差するように延びる複数の第 2 の書込線と、外部磁界によって磁化方向が変化する感磁層をそれぞれ有する複数の磁気抵抗効果素子とを備え、1 つの記憶セルが一対の磁気抵抗効果素子を含むように構成された磁気メモリデバイスであって、

前記記憶セルの一対の磁気抵抗効果素子に対してそれぞれ読出電流を供給するための一対の読出線と、

前記一対の読出線から前記一対の磁気抵抗効果素子にそれぞれ供給された一対の読出電流の値の差分に基づいて前記記憶セルから情報を読み出す読出回路と、

1 つの記憶セルにおける一対の磁気抵抗効果素子を流れる読出電流の総和を規定する電流規定機能を有する定電流回路と

を備えたことを特徴とする磁気メモリデバイス。

【請求項 26】 前記定電流回路は、

ダイオードと、

前記電流規定機能に加えて、前記一対の磁気抵抗効果素子に読出電流を流すか否かを選択するための半導体スイッチとしても機能するトランジスタと、

抵抗器と

を組み合わせて構成されたことを特徴とする請求項 25 に記載の磁気メモリデ

バイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、磁性薄膜メモリ素子を用いて構成される磁気メモリデバイス、並びに磁気メモリデバイスの書込方法および読出方法に関する。

【0002】

【従来の技術】

従来より、コンピュータやモバイル通信機器などの情報処理装置に用いられる汎用メモリとして、DRAM (Dynamic Random Access Memory) , SRAM (Static RAM) などの揮発性メモリが使用されている。これらの揮発性メモリは、常に電流を供給しておかなければ全ての情報が失われる。そのため、情報を記憶する手段、すなわち不揮発性メモリを設ける必要があり、フラッシュEEPROMやハードディスク装置などが用いられる。これらの不揮発性メモリにおいては、情報処理の高速化に伴ってアクセスの高速化が重要な課題となっている。さらに、携帯情報機器の急速な普及および高性能化に伴い、いつでも何処でも情報処理が行える、いわゆるユビキタスコンピューティングを目指した情報機器の開発が急速に進められている。このような機器の開発におけるキーデバイスとして、高速な不揮発性メモリの開発が強く求められている。

【0003】

不揮発性メモリの高速化に有効な技術として、MRAM (Magnetic Random Access Memory) が知られている。MRAMは、マトリクス状に配列される個々の記憶セルが、2つの強磁性層を備えた磁気素子で構成されたものである。各記憶セルでは、「0」、「1」の2値情報に対応させて、素子の強磁性層の磁化を磁化容易軸に沿って平行または反平行な状態とすることで情報が記憶される。磁気素子は、強磁性層の磁化方向が平行か反平行かによって、特定方向の抵抗値が異なる。従って、情報に対応させた抵抗の違いを、電流または電圧の変化として検出することにより、記憶セルから情報が読み出される。こうした原理で動作することから、MRAMでは、安定した書き込み／読み出しを行うために抵抗変化率

ができるだけ大きいことが重要である。

【0004】

現在実用化されているMRAMは、巨大磁気抵抗効果（GMR：Giant magnet o-resistive）を利用したものである。GMRとは、2つの磁性層を磁化容易軸が平行であるように配設したときに、これら各層の磁化方向が、磁化容易軸に沿って平行となる場合に抵抗値が最小となり、反平行の場合に最大となる現象である。GMR素子を用いたMRAM（以後、GMR-MRAMと略記）としては、例えば特許文献1に開示された技術が知られている。

【0005】

GMR-MRAMには、保磁力差型（Pseudo Spin Valve型）と、交換バイアス型（Spin Valve型）とがある。Pseudo Spin Valve型のMRAMは、GMR素子が2つの強磁性層とそれらの間に挟まれた非磁性層とが積層して構成され、2つの強磁性層の保磁力の差を利用して情報の書き込み／読み出しを行うものである。また、Spin Valve型のMRAMは、2つの強磁性層が、磁化方向が固定されている固定層、および、外部磁界により磁化方向が変化可能な自由層からなるものである。この固定層は、非磁性層を挟んで反強磁性層と反強磁性結合させることにより、磁化が安定して固定される。それぞれの型のGMR素子の抵抗変化率は、（NiFe/Cu/Co）の積層構造をとるPseudo Spin Valve型の素子では約6～8%、（PtMn/CoFe/Cu/CoFe）の積層構造をとるSpin Valve型の素子でも10%程度である。そのため、抵抗差を電流または電圧の差とする読み出し出力は、未だ十分に得られておらず、記憶容量やアクセス速度を改善するのは難しいとされている。

【0006】

その点、強磁性トンネル効果（TMR：Tunneling magneto-resistive）を利用したMRAM（以後、TMR-MRAMと略記）では、抵抗変化率を格段に大きくすることができる。TMRとは、極薄の絶縁層を挟んで積層された2つの強磁性層（磁化方向が固定された固定層と、磁化方向が変化可能な感磁層すなわち自由層）において、互いの磁化方向の相対角度により絶縁層を流れるトンネル電流が変化する現象である。すなわち、磁化方向が平行である場合にトンネル電流

は最大（セルの抵抗値は最小）となり、反平行の場合、トンネル電流は最小（セルの抵抗値は最大）となる。TMR素子の具体例としては、C o F e / A l o x i d e / C o F e の積層構造が知られるが、その抵抗変化率は40%以上にも及ぶ。

【0007】

また、TMR素子の抵抗は高いために、MOS型電界効果トランジスタ（MOSFET：Metal Oxide Semiconductor Field Effect Transistor）などの半導体デバイスと組み合わせた場合のマッチングが取り易いとされている。以上の利点から、TMR-MRAMは、GMR-MRAMと比較して高出力化が容易であり、記憶容量やアクセス速度の向上が期待されている。TMR-MRAMとしては、特許文献2、特許文献3に開示された技術などが知られている。

【0008】

TMR-MRAMでは、情報の書き込みについては、導線に流す電流によって誘導する電流磁界を利用して強磁性層の磁化方向を変化させる方式が採られる。これにより、2値情報が、強磁性層間の相対的な磁化方向（平行または反平行）に対応して記憶される。記憶情報の読み出しについては、絶縁層に対し、層面に垂直方向に電流を流し、トンネル電流値もしくはトンネル抵抗を検出する方法が採られている。この場合、強磁性層間の相対的な磁化方向（平行または反平行）の違いが、出力電流値ないしセル抵抗値の差として現れる。

【0009】

そのセルアレイ構造としては、データ線上に複数のTMR素子を並列接続したうえで、選択用の半導体素子を、各々のTMR素子に対応させて配置するものやデータ線ごとに配置するものが提案されている。半導体素子には、MOSFET、FETのゲート・ドレイン間を短絡して構成されるダイオード、pn接合ダイオード、およびショットキーダイオード等が用いられる。また、行データ線、列データ線を用いてTMR素子をマトリクス状に配置し、データ線ごとに選択用トランジスタを配設したものも提案されている。

【0010】

このうち、読み出し時の消費電力効率の面で最も優れた特性を有しているのは、各々のTMR素子に対して選択用半導体素子を配置する構造である。ただし、

各半導体素子の特性にばらつきが生じている場合、それに起因した雑音が無視できない。加えて、データ線に結合した雑音、センスアンプの特性ばらつきによる雑音、電源回路から回り込む周辺回路の雑音も考慮すると、記憶セルの出力電圧の S/N 比は、数 dB 程にしかない可能性がある。

【0011】

そのため、読み出し出力の S/N 比を向上すべく、TMR-MRAM のセルアレイには以下のような改良がなされてきた。

【0012】

よく用いられるのは、選択した一つの記憶セルの出力電圧 V を参照電圧 V_{ref} と比較し、その差分電圧 V_{sig} を差動増幅する方法である。差動増幅の目的は、第 1 に、記憶セルが接続されるデータ線対に生じる雑音を除去することであり、第 2 に、センス線駆動用またはセル選択用の半導体素子の特性ばらつきによる出力電圧のオフセットを除去することである。しかしながら、参照電圧 V_{ref} の発生回路はダミーセルや半導体素子を用いた回路によって実現され、この回路と記憶セルとの間でも素子の特性ばらつきは存在するため、出力電圧のオフセットを完全に除去することは原理的に不可能である。

【0013】

これを解決するものとしては、1 対の TMR 素子によって記憶セルを構成し、これら対をなす素子からの出力を差動増幅する方法が一般に広く知られている。この方法においては、対をなす TMR 素子それぞれの感磁層の磁化方向が、常に、互いに反平行となるように書き込みがなされる。すなわち、一方の素子では感磁層の磁化と固定層の磁化が平行、他方の素子では両層の磁化が互いに反平行となるように相補的に書き込みを行い、2 つの素子の出力を差動増幅して読み出すことで、同相雑音を除去し、 S/N 比を向上させるというものである。そのような差動増幅型の回路構成は、特許文献 4、特許文献 5 および非特許文献 1 などにおいて開示されている。

【0014】

より具体的に例示するならば、特許文献 4 や特許文献 5 に記載されている技術では、記憶セルを構成する第 1 の TMR 素子と第 2 の TMR 素子は、それぞれの

一端が一对の第1, 第2のデータ線に別々に接続され、他端は共に同一のセル選択用半導体素子を介してビット線に接続されるようになっている。ワード線は、セル選択用半導体素子に接続される。情報の読み出しは、第1のデータ線と第2のデータ線とを等電位に保ちつつ、ビット線とこれら第1, 第2のデータ線との間に電位差を与え、第1, 第2のデータ線に流れる電流量の差分値を出力とすることとされる。

【0015】**【特許文献1】**

米国特許第5343422号公報

【特許文献2】

米国特許第5629922号公報

【特許文献3】

特開平9-91949号公報

【特許文献4】

特開2001-236781号公報

【特許文献5】

特開2001-266567号公報

【非特許文献1】

ISSCC 2000 Digest paper TA7.2

【0016】**【発明が解決しようとする課題】**

しかしながら、こうした差動増幅方式の全般において、対をなすTMR素子間の抵抗値のばらつきが問題となっていた。TMR素子には製造プロセスで生じる抵抗ばらつきがあり、これに起因する電流誤差は避けられない。そのため、否応なく出力信号のS/N比が低下する結果となっていた。

【0017】

上記の配線構造についていえば、第1, 第2のデータ線にTMR素子が多数接続され、第3のビット線にビット列方向のセル数だけのセル選択用半導体素子が接続されて記憶セルのマトリクスが構成されていることから、安定した読み出し

信号出力を得るには、各データ線に接続されたTMR素子間の抵抗ばらつき、および同一のビット線に接続されている選択用半導体素子間の特性ばらつきを十分に抑制する必要がある。しかしながら、第1のデータ線と第2のデータ線に等電位の電圧差を与える読み出し方法は、原理的に上記のばらつきを抑制できるようになっていない。そのため、これらのばらつきによる雑音に万全な対策をとることは極めて難しいという問題があった。

【0018】

こうした理由から、次々と方策が提案されているものの、従来のMRAMにおいては、読み出し信号のS/N比を十分改善することはできていなかった。その結果、TMR素子の抵抗変化率がおよそ40%に達するにも関わらず、実際には十分な出力電圧が得られてはいなかった。つまり、現状のメモリ構造のままでは、読み出し精度等の動作安定性の点ですでに問題を抱えているだけでなく、さらには、メモリの高密度化に十分対応できないことが想定される。

【0019】

なお、以上みてきたように、TMR-MRAMの読み出し方法や読み出し回路の構成については数々の工夫がなされてきた一方で、TMR素子自体の構造には、これまで特段の改良がなされていなかった。

【0020】

本発明はかかる問題点に鑑みてなされたもので、その目的は、S/N比が高い読み出し信号出力を得ることが可能な磁気メモリデバイスおよび磁気メモリデバイスの読出方法、並びに、S/N比が高い情報読み出しを可能とする磁気メモリデバイスの書込方法を提供することにある。

【0021】

【課題を解決するための手段】

本発明の第1の観点に係る磁気メモリデバイスは、複数の第1の書込線と、複数の第1の書込線とそれぞれ交差するように延びる複数の第2の書込線と、外部磁界によって磁化方向が変化する感磁層を含み積層面に垂直な方向に電流が流れるように構成された積層体と、この積層体の一方の面側に積層面に沿った方向を軸方向とするように配設されると共に第1および第2の書込線によって貫かれる

ように構成された環状磁性層とを含む複数の磁気抵抗効果素子とを備え、1つの記憶セルが一对の磁気抵抗効果素子を含んで構成されているものである。

【0022】

ここで、「外部磁界」は、第1および第2の書込線に流れる電流によって生ずる磁界、または、環状磁性層に生ずる還流磁界を意味している。また、「環状磁性層」の「環状」とは、少なくとも内部を貫通した第1および第2の書込線からみたときに、それぞれの周囲を磁氣的かつ電氣的に連続して完全に取り囲み、第1または第2の書込線を横切る方向の断面が閉じている状態を示している。よって、環状磁性層は、磁氣的かつ電氣的に連続である限りにおいて絶縁体が含有されることを許容する。製造工程において発生する程度の酸化膜を含んでいてもよいのは無論である。「軸方向」とは、この環状磁性層単体に注目したときの開口方向、すなわち内部を貫通する第1および第2の書込線の延在方向を指す。さらに、「積層体の一方の面側に、…配設され」とは、環状磁性層が積層体の一方の面の側に積層体とは別体として配設される場合のほか、環状磁性層が積層体の一部を含むように配設される場合をも含むという趣旨である。

【0023】

この磁気メモリデバイスでは、単独で1単位情報を記憶することが可能な磁気抵抗効果素子を2つ用いて、1つの単位情報が記憶される。また、磁気抵抗効果素子の各々は、第1および第2の書込線に電流を流すことによって環状磁性層に閉磁路を形成する。これにより、感磁層の磁化反転が効率的に行われる。

【0024】

この磁気メモリデバイスは、感磁層と環状磁性層とが電氣的に接続されているものであることが好ましい。これにより、積層体の積層面に垂直な方向に流れる電流が、感磁層から環状磁性層へと流れるようになる。

【0025】

さらに、この磁気メモリデバイスは、環状磁性層を貫く第1および第2の書込線の双方を流れる電流により生ずる磁界によって、一对の磁気抵抗効果素子における各感磁層の磁化方向が互いに反平行を向くように変化し、記憶セルに情報が記憶されるものであることが好ましい。本発明における「磁化方向が互いに反平

行」とは、互いの磁化方向、すなわち、磁性層内の平均磁化の方向のなす角度が厳密に180度である場合のほか、製造上生ずる誤差や完全に単軸化されなかったが故に生じる程度の誤差等に起因して互いの磁化方向のなす角度が180度から所定角度だけ外れている場合も含む。また、「情報」とは、一般に磁気メモリデバイスへの入出力信号において「0」,「1」あるいは電流値や電圧値による「High」,「Low」等で表される2値情報をいう。

【0026】

この磁気メモリデバイスでは、一对の磁気抵抗効果素子において、感磁層の磁化方向が互いに反平行となる状態で情報が記憶される。

【0027】

より具体的には、一对の磁気抵抗効果素子における一对の感磁層の一方が第1の方向に磁化し他方が第1の方向と反平行をなす第2の方向に磁化する第1の状態と、一对の感磁層の一方が第2の方向に磁化し他方が第1の方向に磁化する第2の状態、のいずれかをとり、第1および第2の状態に対応して記憶セルに情報が記憶されるようにすることが望ましい。このとき、一对の磁気抵抗効果素子における双方の感磁層の磁化は、互いに向き合うか、反対向きになるかの2状態をとり、これに2値情報が対応する。

【0028】

本発明の第1の観点に係る磁気メモリデバイスは、さらに、一对の磁気抵抗効果素子にそれぞれ接続され、各磁気抵抗効果素子に読出電流を供給する一对の第1の読出線を備え、各積層体に流れる電流に基づいて記憶セルから情報が読み出されるように構成される。なお、本発明の磁気メモリデバイスにおいて「接続され」とは、少なくとも電氣的に接続された状態を指し、物理的に直接に接続されていることを必ずしも条件としない。

【0029】

この磁気メモリデバイスでは、対をなす磁気抵抗効果素子の感磁層の相対的な磁化方向に応じ、これらの層面に垂直方向に電流を流した場合の電流値が異なることを利用して、情報の読み出しが行われる。

【0030】

情報読み出しについては、一対の第1の読出線の各々から一対の磁気抵抗効果素子の各々読出電流が供給され、この一対の読出電流値の差分に基づいて記憶セルから情報を読み出すようにするのが好ましい。この方式によれば、読出電流は差動出力されるため、第1の読出線各々に生じる雑音や、磁気抵抗効果素子ごとの出力値に含まれるオフセット成分が相殺されて除去される。

【0031】

また、本発明の第1の観点に係る磁気メモリデバイスは、一対の磁気抵抗効果素子に供給された読出電流の電流経路上に設けられた整流素子と、一対の磁気抵抗効果素子を通じた読出電流を接地へと導く第2の読出線とを備えていることが好ましい。本発明の「整流素子」とは、電流を一方向にのみ通過させ、逆方向の電流の通過を阻止する素子をいう。また、「電流経路」とは、読出電流が磁気抵抗効果素子に流入するためにたどり、磁気抵抗効果素子を通り、流出してゆく経路の全体をいう。整流素子は、上記の電流経路上で、接地方向（第2の読出線側）にしか電流を流さない整流作用を有している。この整流素子により、読み出し対象の各記憶セルに向かって、共通の第2の読出線に接続されている他の記憶セルから電流が回り込んでくることが阻止される。

【0032】

さらには、一対の読出電流の各電流経路上に、整流素子がそれぞれ設けられているようにすることが好ましい。その場合、読み出し対象の記憶セル内における一方の磁気抵抗効果素子から他方の素子へ電流が流れ、第1の読出線にまで通り抜けることが阻止される。一対の整流素子は、一対の第1の読出線と一対の磁気抵抗効果素子との間にそれぞれ設けられていてもよいし、一対の磁気抵抗効果素子と一対の第2の読出線との間にそれぞれ設けられていてもよい。整流素子には、ショットキーダイオード、PN接合ダイオード、バイポーラトランジスタ、またはMOSトランジスタが好適に用いられる。

【0033】

さらに、本発明の第1の観点に係る磁気メモリデバイスにおいては、1つの記憶セルにおける一対の磁気抵抗効果素子を通る読出電流の総和を規定する電流規定機能を有する定電流回路を備えるようにすることが、より好ましい。これに

より、読出電流は、微弱であっても総和が常に一定量だけ流れるように制御される。また、通常は、記憶セル内で対をなす磁気抵抗効果素子同士または記憶セル相互の磁気抵抗効果素子間では、抵抗値にばらつきが生じることが多いため、流れる電流量もばらつく可能性がある。これに対し、上記のように読み出し回路系に定電流回路を設け、各記憶セルに常に一定の値に規格化された読出電流を流すようにすることで、磁気抵抗効果素子相互の抵抗値のばらつきに起因する出力電流値のばらつきが一定範囲内に収められる。

【0034】

本発明における定電流回路は、バンドギャップリファレンスを利用して構成することができ、ダイオードとトランジスタと抵抗器との組み合わせで構成可能である。そのとき、トランジスタは、電流規定機能に加えて、一对の磁気抵抗効果素子に読出電流を流すか否かを選択するための第1の半導体スイッチとしても機能するものとして用いることができる。また、定電流回路は、例えば第2の読出線と接地との間に配設するとよい。

【0035】

さらに、本発明の第1の観点に係る磁気メモリデバイスにおいては、一对の第1の読出線の各々と電源との間に一对の電流電圧変換用抵抗器が設けられていることが好ましい。本発明において、「電源」とは、回路動作に必要な電流ないし電圧の供給源であり、磁気メモリデバイスの内部電源ラインを意味する。この一对の電流電圧変換用抵抗器における電圧降下により、読出電流から電圧出力が取り出される。この電流電圧変換用抵抗器は、大きな出力値を得るために、磁気抵抗効果素子の抵抗値よりも大きい抵抗値を有することが望ましい。

【0036】

そのうえで、一对の第1の読出線ごとに設けられ、これらの第1の読出線を通る読出電流の差を電圧差として検知して増幅するセンスアンプ回路を備え、一对の電流電圧変換用抵抗器の各々における、電源側とは反対側の端子が、センスアンプ回路の入力端に接続されていることが望ましい。このセンスアンプ回路により、電流電圧変換用抵抗器の電源側の一端に生じた電圧が増幅される。

【0037】

さらに、本発明の第1の観点に係る磁気メモリデバイスは、一対の電流電圧変換用抵抗器の各々における、電源側とは反対側に設けられ、一対の磁気抵抗効果素子に読出電流を供給するか否かを選択するための一対の第2の半導体スイッチを備え、これらの一対の第2の半導体スイッチ、一対の電流電圧変換用抵抗器、およびセンスアンプ回路が、同一の領域内に集積配置されたものであることがより望ましい。すなわち、センスアンプ回路が形成されている領域内に一対の第2の半導体スイッチ、一対の電流電圧変換用抵抗器が形成されているのである。対となる素子の各々は、近接して配置されることで、駆動中の温度変化がほぼ等しくなり、互いの特性値にずれが生じることが防止される。また、これらの一対の第2の半導体スイッチ、一対の電流電圧変換用抵抗器、およびセンスアンプ回路が、それぞれ、対称な回路を構成していると、適正な差動出力電圧値が得られるようになり、好ましい。なお、ここでいう「対称な」とは、回路を構成する対となる素子の電気的特性が略等しいことを意味している。

【0038】

本発明の磁気メモリデバイスの書込方法は、本発明の第1の磁気メモリデバイスに対して情報を書き込む方法であって、環状磁性層を貫く第1および第2の書込線の双方を流れる電流により生ずる磁界によって、一対の磁気抵抗効果素子の各々における感磁層の磁化方向が互いに反平行を向くように変化させることにより記憶セルに情報を書き込むようにしたものである。

【0039】

本発明の磁気メモリデバイスの書込方法では、一対の磁気抵抗効果素子において、感磁層の磁化方向を互いに反平行、つまり向かい合わせか、反対向きかに変化させることにより、2値情報が書き込まれる。対となる磁気抵抗効果素子間において感磁層の磁化方向を互いに反平行とするためには、各素子の第1および第2の書込線に流れる電流を、素子間で互いに逆向きとする。これにより、電流に誘導される磁界の向きは、各感磁層間で互いに反平行となり、それぞれの感磁層の磁化がこの向きに固定される。

【0040】

本発明の磁気メモリデバイスの読出方法は、本発明の第1の磁気メモリデバイ

スに書き込まれた情報を読み出すものであり、一対の磁気抵抗効果素子に対して各積層体の積層面に垂直な方向に読出電流を供給し、積層体に流れる電流に基づいて記憶セルの情報を読み出すようにしたものである。

【0 0 4 1】

本発明の磁気メモリデバイスの読出方法では、対をなす磁気抵抗効果素子の一対の感磁層の相対的な磁化方向に応じて、これらの層面に垂直方向に電流を流した場合の電流値が異なることを利用する。すなわち、磁気抵抗効果素子の積層体部分に流れる読出電流の値に基づいて、情報が読み出される。

【0 0 4 2】

またさらに、本発明の磁気メモリデバイスの読出方法は、一対の磁気抵抗効果素子の各々に読出電流を供給し、この一対の読出電流値の差分に基づいて記憶セルの情報を読み出すようにすることが好ましい。この場合には、読出電流は差動出力されるため、第1の読出線各々に生じる雑音や磁気抵抗効果素子ごとの出力値に含まれるオフセット成分が除去される。

【0 0 4 3】

本発明の第2の観点に係る磁気メモリデバイスは、複数の第1の書込線と、複数の第1の書込線とそれぞれ交差するように延びる複数の第2の書込線と、外部磁界によって磁化方向が変化する感磁層をそれぞれ有する複数の磁気抵抗効果素子とを備え、1つの記憶セルが一対の磁気抵抗効果素子を含むように構成された磁気メモリデバイスであって、記憶セルの一対の磁気抵抗効果素子に対してそれぞれ読出電流を供給するための一対の読出線と、一対の読出線から一対の磁気抵抗効果素子にそれぞれ供給された一対の読出電流の値の差分に基づいて記憶セルから情報を読み出す読出回路と、1つの記憶セルにおける一対の磁気抵抗効果素子を流れる読出電流の総和を規定する電流規定機能を有する定電流回路とを備えたものである。

【0 0 4 4】

この第2の磁気メモリデバイスでは、各記憶セルが一対の磁気抵抗効果素子から構成されており、対をなす磁気抵抗効果素子を流れる一対の読出電流の差分に基づいて情報が読み出される。その際に、定電流回路によって一対の磁気抵抗効

果素子を通る読出電流の総和が規定されることで、磁気抵抗効果素子相互の抵抗ばらつきに起因する読出電流のばらつきが一定範囲内に収められる。この第2の磁気メモリデバイスでは、環状磁性層を必須の構成要件としておらず、一対の磁気抵抗効果素子は、感磁層を含む積層体の一方の面側に第1の書込線と第2の書込線が位置する構成を有していてもよい。なお、定電流回路は、ダイオードと、電流規定機能に加えて、一対の磁気抵抗効果素子に読出電流を流すか否かを選択するための半導体スイッチとしても機能するトランジスタと、抵抗器とを組み合わせる構成されることができる。

【0045】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0046】

図1は、本発明の一実施の形態に係る磁気メモリデバイスの全体の構成を示した図である。この磁気メモリデバイスは、いわゆる半導体メモリチップとして具現化されるMRAMであり、アドレスバッファ101、データバッファ102、制御ロジック部103、記憶セル群104、Y方向駆動回路部106、およびX方向駆動回路部108を主要な構成要素としている。この場合に、磁気メモリデバイスは、シリコンチップ中央の広い領域に記憶セル群104が配設され、周囲のわずかな領域に駆動回路部106、108等の回路部品や配線が実装されたものとなっている。

【0047】

記憶セル群104は、全体としてマトリクスを構成するよう、多数の記憶セル12がワード線方向(X方向)、ビット線方向(Y方向)に配列したものである。個々の記憶セル12は、データを記憶する最小単位であり、「1」、「0」のビットデータが記憶されるようになっている。なお、ここでは、記憶セル群104における記憶セル12の各列をワード列Xn、各行をビット列Ynと呼ぶ。

【0048】

Y方向駆動回路部106は、Y方向アドレスデコーダ106A、読み出しのためのセンスアンプ106B、書き込みのためのY方向カレントドライブ106C

から構成され、各々が記憶セル群 1 0 4 に対し、記憶セル 1 2 のビット列 Y_n (Y_1, Y_2, \dots) ごとに接続されている。

【 0 0 4 9 】

X 方向駆動回路部 1 0 8 は、X 方向アドレスデコーダ 1 0 8 A、読み出しのための定電流回路 1 0 8 B、書き込みのための X 方向カレントドライブ 1 0 8 C から構成され、各々が記憶セル群 1 0 4 に対し、記憶セル 1 2 のワード列 X_n (X_1, X_2, \dots) ごとに接続されている。したがって、例えば、ある一つの記憶セル 1 2 は、図示したように、X 方向アドレスデコーダ 1 0 8 A、Y 方向アドレスデコーダ 1 0 6 A から入力されるワード方向およびビット方向のアドレス (X_n, Y_n) によって一意に選択される。

【 0 0 5 0 】

アドレスバッファ 1 0 1 は、外部アドレス入力端子 $A_0 \sim A_{20}$ を備えると共に、アドレス線 1 0 5, 1 0 7 を介して Y 方向アドレスデコーダ 1 0 6 A, X 方向アドレスデコーダ 1 0 8 A に接続されている。このアドレスバッファ 1 0 1 は、外部アドレス入力端子 $A_0 \sim A_{20}$ から記憶セル 1 2 を選択するための選択信号を取り込み、内部バッファ増幅器においてアドレスデコーダ 1 0 6 A, 1 0 8 A で必要な電圧レベルまで増幅する機能を有している。また、増幅した選択信号を、記憶セル 1 2 のワード列方向 (X 方向), ビット列方向 (Y 方向) の 2 つの選択信号に分け、アドレスデコーダ 1 0 6 A, 1 0 8 A のそれぞれに入力するようになっている。なお、磁気メモリデバイスが記憶セル群 1 0 4 を複数有している場合、アドレスバッファ 1 0 1 には、複数の記憶セル群 1 0 4 から 1 つの記憶セル群 1 0 4 を選択するためのアドレス信号もまた入力されるようになっている。

【 0 0 5 1 】

データバッファ 1 0 2 は、外部とデジタルデータ信号のやり取りを行うための外部データ端子 $D_0 \sim D_7$ を備えると共に、制御ロジック部 1 0 3 と制御信号線 1 1 3 により接続されている。データバッファ 1 0 2 は、入力バッファ 1 0 2 A および出力バッファ 1 0 2 B からなり、それぞれ、制御ロジック部 1 0 3 からの制御信号によって動作するようになっている。入力バッファ 1 0 2 は、書き込み用データバス 1 1 0, 1 1 1 を介してそれぞれ Y 方向カレントドライブ 1 0 6 C

、X方向カレントドライブ108Cに接続されており、メモリ書き込み時に外部データ端子D0～D7からデータ信号を取り込み、このデータ信号を内部バッファ増幅器で必要とされる電圧レベルまで増幅し、カレントドライブ106C、108Cそれぞれに出力する機能を有している。出力バッファ102Bは、読み出し用データバス112を介してセンスアンプ106Bに接続されており、内部バッファ増幅器を用いることにより、メモリ読み出し時にセンスアンプ106Bより入力される読み出しデータ信号を、低インピーダンスで外部データ端子D0～D7に出力する機能を有している。

【0052】

制御ロジック部103は、入力端子CS、入力端子WEを備え、データバッファ102に制御信号線113で接続されている。制御ロジック部103は、記憶セル群104に対する動作制御を行うものであり、入力端子CSからは、磁気メモリデバイスの書き込み／読み出し動作をアクティブにするか否かの信号（チップセレクト；CS）が入力される。また、入力端子WEからは、書き込み／読み出しを切り替えるための書き込み許可信号（ライトイネーブル；WE）が入力される。この制御ロジック部103は、入力端子CS、入力端子WEより取り込んだ信号電圧を、内部バッファ増幅器により駆動回路部106、108にて必要な電圧レベルまで増幅する機能を有している。

【0053】

〔読み出し回路の構成〕

次に、この磁気メモリデバイスの読み出し回路の構成について説明する。

【0054】

図2は、記憶セル群とその読み出し回路からなる回路系の構成図である。この読み出し回路系は、記憶セル12が1対の磁気記憶素子12A、12Bからなる差動増幅型である。ここでは、各記憶セル12の情報読み出しを、磁気記憶素子12A、12Bそれぞれに流すセンシング電流（センスビット線21A、21Bから磁気記憶素子12A、12Bそれぞれに流入し、共通のセンスワード線31に流出する電流）の差分値を出力として行うようになっている。

【0055】

同図において、記憶セル群 104 のビット列 Y_n ごとの記憶セル 12 と、センスアンプ 106B を含む読み出し回路の一部とが、読み出し回路の繰り返し単位であるビット方向単位読出回路 80 (\dots , 80n, 80n+1, \dots) を構成しており、ビット列方向に並列に配置されている。ビット方向単位読出回路 80 (\dots , 80n, 80n+1, \dots) の各々は、Y 方向アドレスデコーダ 106A にビットデコード線 20 (\dots , 20n, 20n+1, \dots) を介して接続され、出力バッファ 102B に読み出し用データバス 112 を介して接続されている。なお、同図にはスペースが足りず、ビット方向単位読出回路 80 の全体を描くことができないため、2 列で代表させて描いている。記憶セル群 104 についても同様で、ビット列 Y_n , Y_{n+1} の 2 列で代表させている。

【0056】

各記憶セル 12 の磁気記憶素子 12A, 12B は、GMR ないし TMR を利用した磁気抵抗効果素子である。ここでは、一具体例として磁気記憶素子 12A, 12B が TMR 素子である場合について説明するが、その詳細な構成については後述する。

【0057】

記憶セル群 104 には、X 方向に配列されるセンス用ワードデコード線 31 (以後、センスワード線と略称) と、Y 方向に配列される 1 対のセンス用ビットデコード線 21A, 21B (以後、センスビット線と略称) とによりマトリクス状の配線がなされている。個々の記憶セル 12 は、これらの交差位置に配設され、共通のセンスビット線 21A, 21B に並列接続されている記憶セル 12 がビット列 Y_n を構成し、共通のセンスワード線 31 にカスケード状に接続されている記憶セル 12 がワード列 X_n を構成している。

【0058】

1 つの記憶セル 12 では、1 対の磁気記憶素子 12A, 磁気記憶素子 12B それぞれの一端がセンスビット線 21A, 21B に接続され、またそれぞれ他端は、1 対の逆流防止用ダイオード 13A, 13B のそれぞれを介して共通のセンスワード線 31 に接続される。ここで、個々の磁気記憶素子 12A, 12B に対するセンシング電流の電流経路は、各素子からの導線とセンスビット線 21A,

21Bとの結節点から、各素子からの導線とセンスワード線31との結節点までの間の経路とする。なお、ここでは、センスビット線21A、21Bが本発明の「1対の第1の読出线」に対応し、センスワード線31が本発明の「第2の読出线」に対応している。

【0059】

(ビット列方向の接続)

センスビット線21A、21Bは、記憶セル12のビット列 Y_n (Y_1 , Y_2 , ...) ごとに、対をなして配設されている。これらのセンスビット線21A、21Bは、記憶セル群104を貫くようにY方向に延在し、一端が電源 V_{cc} に接続されている。センスビット線21A、21Bの一端側(電源 V_{cc} 側)には、それぞれ、電流電圧変換用抵抗器23A、23B(以後、抵抗器23A、23B)、およびトランジスタ22A、22Bのコレクタ-エミッタ間が直列に接続されている。さらに、ビット列 Y_n を構成する複数の記憶セル12は、それぞれセンスビット線21Aとセンスビット線21Bの双方に接続されている。具体的には、記憶セル12における磁気記憶素子12Aの一端がセンスビット線21Aに接続され、磁気記憶素子12Bの一端がセンスビット線21Bに接続されている。

【0060】

さらに、トランジスタ22A、22Bのベース側には、ビットデコード線20が接続されている。ビットデコード線20は、Y方向アドレスデコーダ106Aに接続されており、Y方向アドレスデコーダ106Aより、書き込み/読み出しの対象となる記憶セル12が属するビット列 Y_n に対して選択的に出力される選択信号が入力されるようになっている。すなわち、ビットデコード線20(..., 20_n , 20_{n+1} , ...) は、記憶セル12の各ビット列 Y_n に対応して設けられており、Y方向アドレスデコーダ106Aからの選択信号を動作対象であるビット列 Y_n に送出する機能を有している。トランジスタ22A、22Bは、一対の第2の半導体スイッチとして、ビットデコード線20から入力される選択信号の値(ビットデコード値)に応じて開閉する機能を備えている。

【0061】

なお、ビットデコード線20とセンスビット線21A、21Bは、このように

同じデコード機能を有しているが、両者は動作上、明確に区別される。すなわち、ビットデコード線 20 は Y 方向アドレスデコーダ 106A より選択セルを伝える信号線であり、その値は “High”, “Low” の 2 値のデジタル信号であるのに対し、センスビット線 21A, 21B は磁気記憶素子 12A, 12B に流れ込む微弱電流の検出を目的とするアナログ信号線である。なお、ワードデコード線 30 とセンスワード線 31 についてもこれと同じことが言える。

【0062】

また、センスビット線 21A, 21B に接続された抵抗器 23A, 23B の電源 V_{cc} とは反対側の端部における結節点からは、センスアンプ入力線 40A, 40B (以後、入力線 40A, 40B) が導出されている。抵抗器 23A, 23B は、センスアンプ 106B のバイアス抵抗として機能する。すなわち、自身の電圧降下によって、電源 V_{cc} からセンスビット線 23A, 23B を流れ下るセンシング電流を電圧に変換し、入力線 40A, 40B よりセンスアンプ 106B に導くために設置される。また、抵抗器 23A, 23B は、電源 V_{cc} の供給電圧よりも ϕ だけ低い中間電圧レベルを作り出す機能も兼ね備えている。ここでは、センシング電流が微弱なために、抵抗器 23A, 23B で大きな電圧降下を得て、入力線 40A, 40B に入力する電圧値をできるだけ大きくするには、抵抗器 23A, 23B の抵抗値を大きくする必要がある。よって、抵抗器 23A, 23B は、例えば 100 k Ω 程度の高い抵抗値を有することが望ましく、少なくとも、磁気記憶素子 12A, 12B の抵抗値よりも大きい抵抗値を有することが望ましい。

【0063】

(ワード列方向の接続)

センスワード線 31 の各々には、同じワード列 X_n (X_1, X_2, \dots) に配列された記憶セル 12 が接続されている。ただし、本実施の形態では、記憶セル 12 とセンスワード線 31 との間に、整流素子としての逆流防止用ダイオード 13A, 13B が配設されている。逆流防止用ダイオード 13A, 13B の各々は、磁気記憶素子 12A, 12B に対応し、それぞれ個別に接続されている。また、磁気記憶素子 12A と逆流防止用ダイオード 13A、および、磁気記憶素子 12B

と逆流防止用ダイオード13Bは、互いに絶縁された状態にある。

【0064】

逆流防止用ダイオード13は、センスワード線31から各磁気記憶素子12A, 12Bに電流が逆流することを防止するための一方向素子として設けられている。逆流防止用ダイオード13としては、例えば、pn接合ダイオード、ショットキーダイオード、あるいはバイポーラ・ジャンクション・トランジスタ(BJT: Bipolar Junction Transistor)のベース-コレクタ間を短絡してダイオードとしたものや、MOSFETのゲート-ドレイン間を短絡してダイオードとしたものなどを用いることができる。

【0065】

また、センスワード線31の接地側には、トランジスタ33のコレクターエミッタ間が接続され、このトランジスタ33のベース側には、ワード列X_nに対応してワードデコード線30(…, 30_n, 30_{n+1}, …)が配設されている。ワードデコード線30は、X方向アドレスデコーダ108Aに接続されており、X方向アドレスデコーダ108Aよりワード列X_nを選択する選択信号が入力されると共に、選択信号をトランジスタ33のベース側に送出する機能を有している。

【0066】

トランジスタ33は、ベース入力される選択信号の値(ビットデコード値)に応じて開閉する第1の半導体スイッチとして機能し、センスワード線31の導通/遮断を制御するようになっている。このトランジスタ33には、例えば、BJTまたはMOSFETを用いることができる。なお、トランジスタ33のエミッタ側には電流制限抵抗器34が設けられている。

【0067】

本実施の形態では、センスワード線31の接地側に、さらに定電流回路108Bが配設されている。定電流回路108Bは、センスワード線31を流れる電流を一定とする機能を有しており、定電圧発生用のダイオード32, トランジスタ33および電流制限抵抗器34から構成されている。よって、トランジスタ33は、ワードデコード用半導体スイッチとしての機能に加え、コレクターエミッタ間に一定の電流を流す機能を備えたものとなっており、そのベース側はダイオー

ド 32 のアノードにも接続されている。ダイオード 32 は、この場合、2 個のダイオードが直列に接続したものである。

【0068】

(センスアンプの回路構成)

センスアンプ 106B は、ビット方向単位読出回路 80 につき 1 つ設けられ、各ビット方向単位読出回路 80 において 1 対のセンスビット線 21A, 21B の間の電位差を取り込み、この電位差を増幅する機能を有する。各ビット方向単位読出回路 80 のセンスアンプ 106B は、それぞれ入力線 40A, 40B により対応するセンスビット線 21A, 21B に接続されると共に、すべては共通のセンスアンプ出力線 51A, 51B (以後、出力線 51A, 51B) に接続され、最後には読み出し用データバス 112 により出力バッファ 102B に接続されている。

【0069】

センスアンプ 106B それ自体は、いわゆる差動増幅器として構成され、トランジスタ 41A, 41B からなる増幅段と、電圧出力を取り出すためのバイアス抵抗である抵抗器 42A, 42B と、電圧降下用のダイオード 43, 電流制御機能および選択スイッチ機能を有するトランジスタ 44, 電圧降下用の抵抗器 45 を備えている。

【0070】

図 3 は、読み出し回路全体からセンスアンプ 106B の部分を抽出して示したものである。このように、各ビット方向単位読出回路 80 に設けられたセンスアンプ 106B は、出力線 51A, 51B に対しカスケード接続されている。なお、抵抗器 42A, 42B は、カスケード接続されるすべてのセンスアンプ 106B が共有するバイアス抵抗器となっている。

【0071】

トランジスタ 41A, 41B は、ベース側に入力線 40A, 40B が接続され、コレクタ側に (出力線 51A, 51B を介して) 抵抗器 42A, 42B が接続されている。これらのエミッタ側は、共にトランジスタ 44 のコレクタ側に接続されている。なお、トランジスタ 44 のベース側には、ダイオード 43 を介して

ビットデコード線 20 が接続され、エミッタ側は抵抗器 45 を介して接地されている。ここで、抵抗器 42A, 42B には、精度の良い抵抗を用いることが望ましく、トランジスタ 41A, 41B は、特性が良く揃っていることが重要である。

【0072】

なお、ダイオード 43 は、そのバンドギャップリファレンスを利用して、ビットデコード線 20 の電圧レベルから $-\phi$ だけ落とした中間電圧レベルを作り出し、この電圧値をトランジスタ 44 のベース側入力電圧とするために用いられている。トランジスタ 44 は、電流制限機能と、ビットデコード線 20 からのビットデコード値に応じて開閉する半導体スイッチとしての機能とを併せ持つ。

【0073】

また、各センスアンプ 106B のトランジスタ 41A, 41B は、それぞれのコレクタ側が出力線 51A, 51B に接続され、出力線 51A, 51B、さらに読み出し用データバス 112 を介して出力バッファ 102B に接続されている。

【0074】

次に、図 4～図 6 を参照し、本実施の形態における磁気メモリデバイスの回路配置パターンについて説明する。

【0075】

図 4 は、記憶セル群の Y 方向駆動回路部の周辺の実装の様子を表し、図 5 は、Y 方向駆動回路部の実際の回路配置を表している。Y 方向駆動回路部 106 は、記憶セル群 104 の一辺に形成され、その上部には、ボンディングパッド 121 が設けられている。この Y 方向駆動回路部 106 では、以上にみてきたように、Y 方向アドレスデコーダ 106A, センスアンプ 106B および Y 方向カレントドライブ 106C のそれぞれが各ビット列 Y_n (Y_1, Y_2, \dots) に対応する回路を 1 構成単位として成り立っている。本実施の形態では、これら回路 106A～106C の 1 構成単位を、対応するビット列 Y_n (Y_1, Y_2, \dots) ごとにまとめたものを単位駆動回路 DUn (DU_1, DU_2, \dots) とすると共に、この単位駆動回路 DUn を、その幅が記憶セル 12 の幅 W に収まるように形成することで、対応するビット列 Y_n の端部にちょうど配置されるようにしている。

【0076】

図5には、ひとつの単位駆動回路が示されている。Y方向アドレスデコーダ106Aの回路エリアは、電源ライン122 (Vcc) と、中間電位の電源ライン123 (Vm) , グラウンドライン124 (GND) との間に形成される。中間電位の電源ライン123は、バンドギャップ+2Φに対応した電圧を電流制限用トランジスタや、X方向では定電流回路108Bなどに供給する電圧源である。また、この回路エリア内をアドレス線105が横断するように延在しており、これに各単位駆動回路DUnのアドレスデコーダ106Aが接続するようになっている。

【0077】

センスアンプ106Bの回路エリアは、電源ライン125と、中間電位の電源ライン123, グラウンドライン124との間に形成される。このエリア内には、出力線51A, 51Bが横断するように延在しており、これに各単位駆動回路DUnのセンスアンプ106Bがカスケード接続されるように配線がなされている。Y方向カレントドライブ106Cの回路エリアは、電源ライン125と、中間電位の電源ライン126, グラウンドライン127との間に形成されている。

【0078】

図6は、単位駆動回路のうち、さらにセンスアンプのみの回路パターン配置を具体的に示している。先に図2において説明したように、センスアンプ106Bは、各ビット列Yn (Y1, Y2, ...) にそれぞれ対応付けられているだけでなく、センスビット線21A, 21Bの電源Vcc側に接続されている。そこで、ここでは、センスアンプ106Bの回路エリアに、トランジスタ22A, 22B, 抵抗器23A, 23Bを、センスアンプ106Bと共に集積配置するようにしている。

【0079】

この回路パターン配置図と図2, 図3の回路図とを対照すると、センスアンプ106Bにおける1対のトランジスタ41A, 41Bの内側にトランジスタ22A, 22B, 抵抗器23A, 23Bがちょうど対をなして配置されていることがわかる。ここで、ビアパッド128A, 128Bは、それぞれセンスビット線2

1 A, 21 Bへ接続される。また、図6には示されていないが、ビットデコード線20は、グラウンドライン124を通り過ぎてY方向アドレスデコーダ106 Aに接続されている。なお、こうした理解を助けるため、図6では、意図的に電源ライン125を上グラウンドライン124を下にして、図5ではなく図2、図3と対応するようにしている。

【0080】

ところで、トランジスタ22 A, 22 Bの対と、抵抗器23 A, 23 Bの対、およびセンスアンプ106 Bはすべて差動対であり、対をなす相手と特性が揃っていることが動作上重要である。よって、予め特性を揃えることは勿論であるが、それでも各回路素子の設置場所の温度条件が異なる場合などに、出力特性が異なってくることがある。これに対し、本実施の形態では、上記対をなす回路素子を近接して配置しているので、共に同じ温度変化を受けるために互いの特性は同様に変化し、差がほとんど生じない。これにより、温度変化によって生じる出力値の変化を低減させることができる。

【0081】

(磁気メモリ素子の構成)

次に、本実施の形態において用いる磁気記憶素子12 A, 12 B、および記憶セル12の構成について説明する。

【0082】

図7は、記憶セルの構成を示す断面図である。このように、記憶セル12は、基板10の上に左右1対の磁気記憶素子12 A, 12 Bが搭載されてなる。これら磁気記憶素子12 A, 12 Bは、共に、第1の磁性層1, 非磁性層2, 第2の磁性層3が積層した積層体と、この積層体の一方の面側に積層面に沿った方向を軸方向とするように配設されると共に書込用ビット線6 a, 書込用ワード線6 b (第1, 第2の書込線)によって貫かれるように構成された環状磁性層5とを含んで構成されている。第2の磁性層3と環状磁性層5は、非磁性導電層4を介して接合され、電気的に接続されている。

【0083】

また、磁気記憶素子12 A, 12 Bそれぞれには、積層体の上面(環状磁性層

5とは反対側の面)に読出センシング用導線11が設けられ、基板10に向かって、積層体に対しては積層面に垂直に電流を流すことができるように構成されている。

【0084】

第1の磁性層1は、磁化方向の固定された強磁性層であり、第2の磁性層3は、外部磁界によって磁化方向が変化する強磁性層(感磁層)である。これらは、数nm(数10Å)と非常に薄い非磁性層2を挟んで積層されている。この積層体において、第1の磁性層1と第2の磁性層3との間に、積層面に垂直方向の電圧を印加すると、例えば第2の磁性層3の電子が非磁性層2を突き抜けて第1の磁性層1に移動してトンネル電流が流れる。すなわち、ここでの非磁性層2は、トンネルバリア層である。このトンネル電流は、非磁性層2との界面部分における第1の磁性層1のスピンと第2の磁性層3のスピンとの相対的な角度によって変化する。すなわち、第1の磁性層1のスピンと第2の磁性層3のスピンとが互いに平行な場合に磁気記憶素子12A(12B)の抵抗値は最小、反平行のときに最大となる。

【0085】

第2の磁性層3は、書込用ビット線6a、書込用ワード線6bによる誘導磁界によって磁化が変化するようにになっている。ここで、第2の磁性層3の磁化は、誘導磁界によって反転し、これにより第1の磁性層1の磁化との相対角度が反転するようになっている。また、書き込み対象の記憶セル12の選択は、いわゆるマトリクス駆動法によって行うため、書込用ビット線6a、書込用ワード線6bのいずれか一方だけではなく、これらの双方に対し電流が同方向に流れるときにのみ磁化反転が可能であるように、第2の磁性層3の磁気特性や寸法などが設定される。これがTMR素子としての磁気記憶素子12A(12B)の基本構造である。

【0086】

ここでは、環状磁性層5は、図7において紙面に垂直方向の軸をもつ筒型の形状を有し、書込用ビット線6a、書込用ワード線6bの互いに平行となった部分を内包している。すなわち、この環状磁性層5の軸方向は、書込用ビット線6a

、書込用ワード線 6 b の延在方向であり、軸方向を横切る断面方向において閉じた環状となっている。また、環状磁性層 5 は、高透磁率磁性材料から構成され、内包する書込用ビット線 6 a、書込用ワード線 6 b の電流によって生じる磁束を層内部に閉じ込めることにより、第 2 の磁性層 3 の磁化方向を効率よく変化させる機能を有する。この環状磁性層 5 は、図示したように断面が閉ループとなっており、発生した誘導磁界が、断面と平行な面に沿って層内を還流するようになっている。これにより、環状磁性層 5 は、外部に漏洩磁束を生じさせない電磁遮蔽効果を有している。また、ここでは、第 2 の磁性層 3 に一面で接するように構成されているために、磁界を第 2 の磁性層 3 に伝えやすく、高い磁束密度でもって近接する第 2 の磁性層 3 の磁化方向を一層効率よく変えることができるようになっている。

【0087】

また、図 8 は、書込用ビット線 6 a、書込用ワード線 6 b の配線構造を示したものである。このように、本実施の形態の磁気メモリデバイスは、複数の書込用ビット線 6 a と、この書込用ビット線 6 a とそれぞれ交差するように延びる複数の書込用ワード線 6 b とを備えている。これらは交差するように延びているが、その交差領域では部分的に平行となって延在しており、この平行部分に磁気記憶素子 12 A、12 B が形成されている。なお、ここでいう平行とは、製造上の誤差範囲 $\pm 10^\circ$ を含んでいる。ここでは、平行となった書込用ビット線 6 a、書込用ワード線 6 b の合成磁界を用いて第 2 の磁性層 3 の磁化を反転させるが、この誘導磁界の大きさは、各配線が交差するときの合成磁界よりも大きい。よって、書き込み動作を効率よく行うことができる。

【0088】

なお、磁気記憶素子 12 A (12 B) の各々には、読出センシング用導線 11 から積層体に流れ込み、環状磁性層 5 から基板 10 へと通り抜けるように電流が流れる。よって、トンネル電流を流す非磁性層 2 を除いた積層体の各層、および非磁性導電層 4、環状磁性層 5 には、すべて導電性を有する材料が用いられる。第 1 の磁性層 1、第 2 の磁性層 3 には、例えば、コバルト鉄合金 (CoFe) が用いられ、その他単体のコバルト (Co)、コバルト白金合金 (CoPt)、ニ

ッケル鉄コバルト合金 (NiFeCo) などを用いることができる。また、第1の磁性層1と第2の磁性層3は、磁化方向が互いに平行または反平行となる状態で安定化するため、互いの磁化容易軸を平行とすることが望ましい。

【0089】

非磁性層2は、トンネル抵抗等を基にその厚みが決められる。一般に、TMR素子を用いた磁気メモリ素子では、トランジスタなどの半導体デバイスとのマッチングを図るため、トンネル抵抗は数 $10\text{ k}\Omega \cdot (\mu\text{m})^2$ 程度が適当とされる。しかし、磁気メモリデバイスにおける高密度化および動作の高速化を図るためには、トンネル抵抗は、 $10\text{ k}\Omega \cdot (\mu\text{m})^2$ 以下、さらに好ましくは $1\text{ k}\Omega \cdot (\mu\text{m})^2$ 以下とすることが好ましい。そうしたトンネル抵抗値を実現するためには、非磁性層 (トンネルバリア層) 2の厚みは 2 nm 以下、さらに好ましくは 1.5 nm 以下とすることが望ましい。ただし、非磁性層2の厚みをあまり薄くすると、トンネル抵抗を低減することができる一方で、第1の磁性層1および第2の磁性層3との接合界面の凹凸に起因するリーク電流が生じ、MR比が低下してしまうおそれがある。これを防止するため、非磁性層2の厚みは、リーク電流が流れない程度の厚みを有する必要があり、具体的には 0.3 nm 以上の厚みであることが望ましい。

【0090】

非磁性導電層4は、第2の磁性層3と環状磁性層5とを反強磁性結合させるように機能するものであり、例えば、ルテニウム (Ru)、銅 (Cu) などが用いられる。環状磁性層5には、鉄 (Fe)、ニッケル鉄合金 (NiFe)、Co、CoFe、NiFeCo等を用いることができる。また、書込用ビット線6a、書込用ワード線6bによる磁界を環状磁性層5に集中させるために、環状磁性層5の透磁率はできるだけ大きいほうが好ましく、具体的には2000以上、より好ましくは6000以上である。

【0091】

書込用ビット線6aおよび書込用ワード線6bは、いずれも、チタン (Ti)、窒化チタン (TiN)、アルミニウム (Al) が順に積層された構造を有し、絶縁膜によって、互いに電氣的に絶縁されている。書込用ビット線6aおよび書

込ワード線 6b は、例えば、アルミニウム (Al)、銅 (Cu) およびタングステン (W) のうちの少なくとも 1 種からなるようにしてもよい。

【0092】

なお、磁気記憶素子 12A (12B) は、ここでは TMR 素子としているが、やはり磁性層の積層面に垂直に電流を流す構造の CPP (Current Perpendicular to the Plane) - GMR 素子であってもよい。その場合の素子構造は、非磁性層 2 を、絶縁層から非磁性金属層に替えることを除いては、上記の磁気メモリ素子 12A (12B) と同様とすることができる。

【0093】

磁気記憶素子 12A, 12B が形成される基板 10 の上には、エピタキシャル層 9 が形成され、さらにその上に導電層 8 および絶縁層 7 が形成されている。導電層 8 は、絶縁層 7 を介して互いに絶縁された導電層 8A, 8B からなる。磁気記憶素子 12A, 12B は、導電層 8 および絶縁層 7 の上面に形成されるが、それぞれ、その形成領域の少なくとも一部が導電層 8A, 8B の形成領域と重なるように位置決めされる。よって、磁気記憶素子 12A と磁気記憶素子 12B とは、分離絶縁されている導電層 8A, 8B にそれぞれ個別に接合され、互いに電氣的に絶縁されている。すなわち、ここでは、磁気記憶素子 12A と磁気記憶素子 12B が、電氣的に非導通であるように配線がなされている。

【0094】

また、ここでは、基板 10 を n 型シリコンウエハとする。一般に、n 型シリコンウエハには P (燐) の不純物拡散が施されており、基板 10 としては、P (燐) の高濃度拡散により n⁺⁺型となっているものを用いる。これに対し、エピタキシャル層 9 は、P (燐) が低濃度拡散されて n⁻型となるようにする。また、導電層 8 には金属を用いる。このとき、n⁻型半導体であるエピタキシャル層 9 と、金属の導電層 8 とを接触させると、バンドギャップが生じてショットキーダイオードが形成される。これが、本実施の形態におけるダイオード 13A, 13B である。

【0095】

ダイオード 13A, 13B をこのようにショットキーダイオードとして形成す

ることには、エピタキシャル層付きのシリコンウエハが入手しやすく低価格であること、形成工程が簡易であること等の利点がある。しかし、ショットキーダイオードは、PN接合ダイオードに比べてリーク電流が数100倍以上も大きく、加えて温度上昇に伴うリーク電流の増加も大きい。この磁気メモリデバイスをMRAM半導体メモリチップとし、記憶セル12ごとにショットキーダイオードを数1000個も並列に接続した場合、リーク電流がかなり増大してしまうために読み出し出力のS/N比を下げる原因となることが考えられる。ここでは、ダイオード13として、コスト面、製造面で有利なショットキーダイオードを採用したが、リーク電流が無視できない場合などには、ダイオード13をPN接合ダイオード、ベース・コレクタ間を短絡したBJT、あるいはゲート・ドレイン間を短絡したMOSFETで形成することも可能である。

【0096】

図9は、記憶セルを回路図で表したものである。このように、1対の磁気記憶素子12A、12Bは、第1の磁性層1および第2の磁性層3の磁化の相対角度に応じて流れる電流の値が変化することから、可変抵抗とみなされる。すなわち、磁気記憶素子12A（12B）は、流すことのできるトンネル電流の電流密度が高い低抵抗の状態と、電流密度が小さい高抵抗の状態とをとる。

【0097】

なお、後の動作説明において詳述するが、本実施の形態においては、磁気記憶素子12A、12Bの一方を低抵抗、他方を高抵抗として情報の記憶を行う。これは、2つの磁気記憶素子12A、12Bからの出力を差動増幅して読み出すためにほかならない。よって、対をなす2つの磁気記憶素子12A、12Bは、抵抗値、磁気抵抗変化率、および第2の磁性層3の反転磁界の大きさが等しくなるように製造される必要がある。

【0098】

〔記憶セルに対する書き込み動作〕

次に、この記憶セル12における情報記憶方式と書き込み動作方法について説明する。

【0099】

図10は、図9と同様に記憶セルを表したものであり、磁気記憶素子12A、12Bそれぞれの第1の磁性層1、第2の磁性層3の磁化を表している。同図において、白色矢印は第1の磁性層1の磁化を表しており、磁気記憶素子12A、12B共に右方向に磁化が固定されている。一方、黒色矢印は第2の磁性層3の磁化を表し、磁気記憶素子12A、12Bでは互いに反平行となる向きに磁化されている。このように、記憶セル12では、1対の磁気記憶素子12A、12Bの第2の磁性層3の磁化方向が互いに反平行となる状態で情報が記憶される。

【0100】

このとき、1対の磁気記憶素子12A、12Bにおいては、それぞれの第1の磁性層1と第2の磁性層3の磁化方向の組み合わせは、必ず（平行、反平行）の第1の状態か、（反平行、平行）の第2の状態となる。よって、この2つの状態に2値情報「0」、「1」を対応させることで、1つの記憶セル12に1ビットの情報を記憶させる。なお、磁気記憶素子12A（12B）においては、第1の磁性層1と第2の磁性層3の磁化方向が平行であれば大きなトンネル電流が流れる低抵抗状態となり、反平行であれば小さなトンネル電流しか流れない高抵抗状態となる。つまり、対をなす磁気記憶素子12Aおよび磁気記憶素子12Bは、必ず一方が低抵抗で、他方が高抵抗となって情報を記憶する。

【0101】

このように、対となる磁気記憶素子12A、12Bにおいて第2の磁性層3の磁化方向を互いに反平行とするため、図11に示したように、磁気記憶素子12A、12Bそれぞれの書込用ビット線6a、書込用ワード線6bに対し、相対的に逆向きとなるように電流を流す（図8参照）。図11には、記憶セル12に対し、図10に示した「1」ビットを書き込む場合の書き込み電流の向きが示されている。

【0102】

これにより、磁気記憶素子12A、12Bそれぞれの環状磁性層5には、互いに逆向きに還流する磁界が誘導され、それぞれの第2の磁性層3との対向面における磁化（つまり誘導磁界の向き）は、互いに反平行となる。磁気記憶素子12A、12Bそれぞれの第2の磁性層3の磁化は、この外部から与えられる磁界の

向きに従って反平行となり、その磁化状態が、環状磁性層 5 との反強磁性結合により固定される。なお、「0」ビットを書き込むには、磁気記憶素子 12 A, 12 B それぞれに流す電流の向きを、図示の向きとは反対に切り替えるようにする。

【0103】

このとき、誘導磁界は環状磁性層 5 の内部に閉じ込められることから、第 2 の磁性層の磁化反転に寄与する実効的な磁界強度は、従来に比して大きくなる。その結果、第 2 の磁性層 3 を必要十分な磁界強度で磁化反転させることができ、効率よい書き込み動作を行うことができる。換言すると、この書き込みにおいては、第 2 の磁性層 3 の磁化は、所定の方角に対し十分な大きさとなるように揃えられる。よって、この第 2 の磁性層 3 の磁化方向が外部擾乱磁界により乱されるおそれを低減させ、一旦書き込まれた情報が予期せず消されたり、書き換えられたりすることが防止できる。すなわち、情報を確実に書き込むことができる。

【0104】

この磁気メモリデバイスでは、まず、アドレスバッファ 101 が外部データ端子 A0～A20 の信号電圧を取り込んで内部バッファで増幅し、アドレス線 105, 107 を通じて Y 方向、X 方向のアドレスデコーダ 106 A, 108 A に伝達する。それと同時に、データバッファ 102 が外部データ端子 D0～D7 の信号電圧を取り込んで内部バッファで増幅し、書き込み用データバス 110, 111 を通じて Y 方向、X 方向のカレントドライブ 106 C, 108 C に伝達する（図 1）。

【0105】

アドレスデコーダ 106 A, 108 A は、選択信号により、これに対応するデコード値をもつ書込用ビット線 6 a, 書込用ワード線 6 b を選択する。また、書込用ビット線 6 a, 書込用ワード線 6 b に流す電流の向きは、カレントドライブ 106 C, 108 C により決定される。これにより、書込用ビット線 6 a, 書込用ワード線 6 b の双方に電流が流れる記憶セル 12 が一意に選択され、そこに所定のビットデータが書き込まれる。例えば、図 8 では、書込用ビット線 6 a, 書込用ワード線 6 b の電流の向きが矢印で示され、記憶セル 12 が選択されている。

様子が表されている。

【0 1 0 6】

〔読み出し動作〕

磁気メモリデバイスは、各記憶セル 1 2 に書き込まれた情報を以下のようにして読み出す。

【0 1 0 7】

(基本動作)

図 1 2 は、記憶セルの基本構成を示している。まず、同図を参照して、読み出し動作の基本的な部分を説明する。各記憶セル 1 2 は、磁気記憶素子 1 2 A, 1 2 B が図示のような磁化方向となって情報が記憶された状態となっている。このうち、情報を読み出す記憶セル 1 2 は、そのアドレスに対応して、Y 方向はビットデコード線 2 0、X 方向はワードデコード線 3 0 に選択信号が入力されることで選択される。例えば、選択する記憶セル 1 2 が、 Y_n 列、 X_{n+1} 行にある場合、 Y_n 番目のビットデコード線 2 0 $_n$ と X_{n+1} 番目のワードデコード線 3 0 $_{n+1}$ に信号が入力される。

【0 1 0 8】

Y_n 番目のビットデコード線 2 0 $_n$ における電圧レベルを "H i g h" とすると、トランジスタ 2 2 A, 2 2 B が通電状態となり、記憶セル 1 2 の Y_n 番目の列方向ブロック (ビット列 Y_n) にセンシング電流が流れる。センシング電流は、センスビット線 2 1 A, 2 1 B を電源 V_{cc} 側からその反対側に向かって流れ下る。

【0 1 0 9】

一方、 X_{n+1} 番目のワードデコード線 3 0 $_{n+1}$ における電圧レベルを "H i g h" とすると、トランジスタ 3 3 が通電状態となり、記憶セル 1 2 の X_{n+1} 番目の行方向ブロック (ワード列 X_{n+1}) に電流が流れることが許される。よって、センシング電流は、 Y_n 番目のセンスビット線 2 1 A, 2 1 B のから、それぞれ磁気記憶素子 1 2 A とダイオード 1 3 A, 磁気記憶素子 1 2 B とダイオード 1 3 B を通り、共に X_{n+1} 番目のセンスワード線 3 1 へと流れ込み、さらに、定電流回路 1 0 8 B を構成するトランジスタ 3 3 のコレクターエミッタ間を通り、抵抗器

34 から接地へと抜ける。このように、 Y_n 列、 X_{n+1} 行目の記憶セル 12 は、 Y_n 列、 X_{n+1} 行目の磁気記憶素子 12A、12B にセンシング電流を流すことにより選択される。

【0110】

情報の読み出しは、記憶セル 12 の磁気記憶素子 12A、12B のそれぞれに流れる電流値の差分を検出することによって行われる。これらに流れる電流は、センスビット線 21A、21B を流れるセンシング電流にほぼ等しい。また、センスビット線 21A (21B) に対して直列に接続された抵抗器 23A (23B) には、センシング電流による電圧降下が起きる。その電圧降下 V_a は、センシング電流の大きさを I_{sense} 、抵抗器 23A (23B) の抵抗値を R_a とすれば、次式で決定される。

$$V_a \text{ (Volt)} = I_{sense} \text{ (A)} \times R_a \text{ (}\Omega\text{)} \quad \cdots (1)$$

式 (1) より、抵抗器 23A と抵抗器 23B の値が良く揃っていれば、センシング電流 I_{sense} を電圧降下 V_a によって電圧に変換して検出されることがわかる。そこで、ここでは読み出し出力信号として、抵抗器 23A と抵抗器 23B の電圧降下をそれぞれ入力線 40A、40B から取り出し、その差分を検出するようにしている。このように、2つの磁気記憶素子 12A、12B を用い、それぞれの出力値の差分を取り出すことで、記憶セル 12 としては、雑音が除去された大きな出力値が得られる。

【0111】

(定電流回路 108B の作用)

以上の読み出し動作において、選択された記憶セル 12 に流れるセンシング電流の大きさは、センスワード線 31 の接地側に設けられた電流制限抵抗器 34 により調整される。電流制限抵抗器 34 は、これ単独で電流量を制限する効果があるが、ここではさらに、電流制限抵抗器 34 とトランジスタ 33、ダイオード 32 を組み合わせて構成された定電流回路 108B が、電流量を一定範囲内に収めるように動作する。

【0112】

ワードデコード線 30 の電圧レベルが “High” であれば、2個直列に接続

されているダイオード 32 は、ダイオードのバンドギャップリファレンスにより、接地から +2 ϕ だけ高い中間電圧レベルを固定的に作り出す。よって、トランジスタ 34 のベース端子には、中間電圧レベルが印加され、トランジスタ 34 は通電状態となる。このとき、センスワード線 31 から流入するセンシング電流の大きさ I_{sense} は、電流制限抵抗器 34 の抵抗値を R_c とすれば、次式で求まる。

$$I_{\text{sense}} \text{ (A)} = (2\phi' - \phi'') \text{ (Volt)} / R_c \text{ (}\Omega\text{)} \quad \cdots (2)$$

$2\phi'$ は 2 個の直列になったダイオード 32 の順方向電圧、 ϕ'' はトランジスタ 33 のベース-エミッタ間の順方向電圧である。これらは半導体素子固有の値であるから、式 (2) は、抵抗値 R_c が決まればセンシング電流 I_{sense} は一定値をとること、抵抗値 R_c をパラメータとしてセンシング電流 I_{sense} は一意に決められることを示している。

【0113】

すなわち、この定電流回路 108B のおかげで、センスワード線 31 において微弱なセンシング電流 I_{sense} が一定の範囲内の値で安定して流れる。なお、式 (2) のセンシング電流 I_{sense} は、センスワード線 31 に流れる電流であり、センスビット線 21A およびセンスビット線 21B、もしくは磁気記憶素子 12A および磁気記憶素子 12B の双方を流れる電流の総和のことである。

【0114】

一例として、電流制限抵抗器 34 を 50 k Ω とし、ダイオード 32, トランジスタ 33 にシリコンダイオードおよびシリコントランジスタを使用した場合、定電流回路 108B によるセンシング電流 I_{sense} は、ほぼ 15 μ A になる。この場合、製造上の原因により、対をなす磁気記憶素子 12A, 12B それぞれが駆動動作上取り得る抵抗値の範囲が異なっていたとしても、両者を流れる電流の総和は、常にほぼ 15 μ A に等しくなる。なお、製造上の原因による磁気記憶素子 12A (12B) の抵抗値のばらつきとは、非磁性層 2 が、数 nm (数 10 Å) という数原子単位の厚みしか持たないために、厚みと原子配列のわずかな乱れで抵抗値が変わることを意味している。それゆえ、非磁性層 2 を均一な厚みで成膜することには細心の注意が払われるが、現実には磁気記憶素子 12A (12B) の抵抗値において 15 ~ 50 % 程度、製造設備等の条件が悪いときにはそれ以上

のばらつきが生じてしまう。

【0115】

磁気記憶素子 12A, 12B の抵抗値のばらつきには、要因ごとに 2 つの場合が考えられる。① 1 つ目は、記憶セル 12 同士の間で、非磁性層 2 の厚みのばらつき等により、磁気記憶素子 12A, 12B の低抵抗時および高抵抗時の抵抗値が異なる場合である。総じて非磁性層 2 の厚みが増せば、1 対の磁気記憶素子 12A, 12B の抵抗は低抵抗時、高抵抗時とも大きな値をとるようになる。② 2 つ目は、各記憶セル 12 で対をなしている磁気記憶素子 12A, 12B の間で、接合界面の凹凸や非磁性層 2 の厚みの違い、その他の原因により、大きなトンネル電流が流れるときの抵抗値と小さなトンネル電流しか流れないときの抵抗値との比率、すなわち MR 比がばらつく場合である。

【0116】

ここで、①記憶セル 12 の間で、磁気記憶素子 12A, 12B の抵抗値がばらついていたとする。センスビット線 21A, 21B を流れる各電流値は、それぞれ 1 対の磁気記憶素子 12A, 12B の抵抗値に応じた値ではあるものの、その総和は常に一定値をとるように制御されている。言い換えると、センスビット線 21A, 21B を流れる各電流値は、ある規格化された電流量を抵抗比に応じて分配したものである。そのため、抵抗値のばらつき度合いに比べて、各電流値のぶれは少なくなる。殊に、記憶セル 12 の間における抵抗のばらつきが各々の MR 比を変えないような場合には、1 対の磁気記憶素子 12A, 12B の抵抗比が等しいことから、記憶セル 12 ごとの抵抗値の大小には関係なく（かなり大きく異なっていたとしても）、センスビット線 21A, 21B の各電流値はほぼ等しくなる。こうして、センスビット線 21A, 21B の電流値の差は、常に一定の範囲内に収められる。そのため、電流電圧変換用抵抗器 23A, 23B の電圧降下の差も一定の範囲内に収められ、安定した差動出力を得ることが可能となり、読み出し信号の S/N 比を向上させることができる。

【0117】

一方、上記の説明からもわかるように、②磁気記憶素子 12A 対磁気記憶素子 12B の MR 比のばらつき、特に MR 比の低下は、差動出力を得る場合には致命

的であり、出力信号のS/N比を極端に落としてしまう。しかし、ここでは、定電流回路108Bを設けているため、センスビット線21A, 21Bの各々における電流のぶれは、総電流値に応じて押さえ込まれる。これにより、電流電圧変換用抵抗器23A, 23Bの電圧降下の変動はばも一定に抑えられ、センスアンプ106Bの入力におけるオフセット電圧のばらつきを軽減することが可能である。よって、この場合にも、読み出しの出力信号のS/N比を改善することができる。

【0118】

(逆流防止用ダイオードの作用)

また、以上の読み出し動作において、各磁気記憶素子12A, 12Bのセンスワード線31の側の電流経路上に設けられているダイオード13A, 13Bは、電流がセンスワード線31から磁気記憶素子12A, 12Bへと逆流することを防止している。

【0119】

ここでは、ビット列 Y_n , ワード列 X_n の各磁気記憶素子12A, 12Bが、共通のセンスビット線21A, 21B、共通のセンスワード線31に接続されているため、センシング電流の一部は正規の経路を外れ、読み出し対象ではない磁気記憶素子12A, 12Bを介して別の経路に流出してしまい、そのまま接地へ流れ落ちたり、再び正規の経路上に回り込んだりするおそれがある。それでもこうした配線構造をとるのは、記憶セル12の選択スイッチをビット方向, ワード方向とも列ごとに単一のスイッチで共用させ、配線を簡素化するためでもあるが、ここでは、列ごとに定電流回路108Bを共用させるためである。

【0120】

こうした正規の経路から外れて回路内を流れる電流成分、特に回り込み成分は、磁気記憶素子12A (12B) を逆流する経路上に発生する。しかしながら、ここでは、一方向素子であるダイオード13A, 13Bにより、その経路が遮断される。

【0121】

図13は、本実施の形態に対する比較例として、ダイオード13A, 13Bが

磁気記憶素子 12A, 12B の電流経路上にない場合の漏れ電流の経路 (i) と、回り込みの経路 (ii), (iii) とを示したものである。同図においては、ビット列 Y_n , ワード列 X_{n+1} の記憶セル 12 が、いままさに情報が読み出されるセルである。すなわち、実線で示したのが正規の電流経路である。

【0122】

これに対し、センシング電流の一部は、例えば経路 (i) のように、センスワード線 31 からワード列方向に隣接する磁気記憶素子 12A, 12B に逆流し、さらにセンスビット線 20 $_{n+1}$ へ流れる。なお、同様の漏れは、同じセンスワード線 31 に共通に接続されている多数の磁気記憶素子 12A, 12B (図示せず) に対しても生じる。

【0123】

また、例えば経路 (ii) のように、記憶セル 12 の低抵抗側の磁気記憶素子 12A (12B) を廻って回り込む経路が存在する。同図では、すべての記憶セル 12 において磁気記憶素子 12A の方を低抵抗側として経路を図示している。この場合、センスビット線 21A をさらに下り、ビット列方向に隣接し、低抵抗である磁気記憶素子 12A を通り、センスワード線 31 を介してさらにワード列方向に隣接する記憶セル 12 の低抵抗側の磁気記憶素子 12A に逆流する。その後、正規の経路とは異なるセンスビット線 21A を、選択されたセンスワード線 31 に接続されている磁気記憶素子 12A (図ではビット列方向に隣接している) まで上がり、この低抵抗の磁気記憶素子 12A に流入し、ついには選択されたセンスワード線 31 に流れ込む。同様の回り込みは、同じセンスビット線 21A に接続された多数の磁気記憶素子 12A (図示せず)、それらの磁気記憶素子 12A と接続されたセンスワード線 31 を同じくする多数の磁気記憶素子 12A, 12B (図示せず) に対しても生じる。磁気記憶素子 12B が低抵抗である場合にも、また同様にして回り込みが発生する。

【0124】

もう一つの回り込みの例としては、経路 (iii) がある。この場合、同じセンスビット線 21A に接続されている磁気記憶素子 12A (低抵抗側) から磁気記憶素子 12B (高抵抗側) へと、磁気記憶素子 12A または磁気記憶素子 12B

の一方を逆流することによって、ひとつの記憶セル 12 を通過する。さらに、反対側のセンスビット線 21 B を上がり、読み出し対象の記憶セル 12 の磁気記憶素子 12 B から正規の経路へ回り込む。

【0125】

こうした経路 (i) ~ (iii) はすべて、本実施の形態のように、各磁気記憶素子 12 A, 12 B の電流経路上にダイオード 13 A, 13 B を設けることによって遮断することができる。このようにして、磁気記憶素子 12 A, 12 B を介して電流が漏れたり、回り込んだりすることで生じるセンシング電流の変動すなわち信号に対する雑音を低減することができる。なお、各記憶セル 12 の磁気記憶素子 12 A, 12 B の電流経路を 1 つのダイオードに接続させるようにした場合にも、経路 (i), (ii) を遮断することが可能であり、電流の漏れや回り込みに一定の効果が期待される。ただし、経路 (iii) を遮断するためには、本実施の形態のように記憶セル 12 の中で磁気記憶素子 12 A, 12 B は非導通とされ、互いに独立して逆流防止が施される必要がある。

【0126】

(逆流防止用ダイオードの変形例)

本実施の形態の逆流防止用ダイオード 13 A, 13 B は、同じく整流作用を有する素子であるトランジスタに置き換えることが可能である。図 14 に、そのような変形例として、磁気記憶素子 12 A, 12 B とセンスワード線 31 との間に逆流防止用トランジスタ 63 A, 63 B を設けた場合を図示している。この逆流防止用トランジスタ 63 A, 63 B は、ベース端子をビットデコード線 20 またはワードデコード線 30 に接続すると、センスビット線 21 A, 21 B もしくはセンスワード線 31 に連動して導通させることができる。なお、そうした場合、トランジスタ 22 A, 22 B はなくともよい。こうした逆流防止用トランジスタ 63 A, 63 B も同様に一方向素子として機能する。

【0127】

逆流防止用トランジスタ 63 A, 63 B を用いることの利点は、導通時の電圧が、ダイオードの順方向電圧に比べてかなり低いことが挙げられる。トランジスタの導通時のコレクターエミッタ間電圧は非常に低い（およそ 0.2 V 程度）が

、ダイオードは順方向電圧としてバンドギャップ Φ (0.65V~0.75V)の電圧がかかる。本実施の形態の読み出し回路では、電流経路が電源 V_{cc} から接地に向けて直列に、電流電圧変換用抵抗器23A (23B)、トランジスタ22A (22B)、磁気記憶素子12A (12B)、逆流防止用ダイオード13A (13B)、トランジスタ33、電流制限抵抗器34の5段構成になっている。そのため、電圧配分を考慮する必要があるが、逆流防止用トランジスタ63A, 63Bは、逆流防止用ダイオード13A, 13Bに比べ、0.5V程度も低い電源電圧でも動作させることができる。また、この電圧の余剰分を振り分けるようにして、回路を5段から数段上げ、さらに複雑な制御操作を行うことまでも可能となる。

【0128】

また、逆流防止用ダイオード13A, 13Bは、図15に示したように、逆流防止用MOSFET73A, 73Bに置き換えることも可能である。この場合、導通時のドレインソース間電圧は0.1V程度とかなり低く、その作用効果は、逆流防止用トランジスタ63A, 63Bとほぼ同様である。

【0129】

なお、これらの整流素子は、図16~図18に示したように、センスビット線21A, 21Bと磁気記憶素子12A, 12Bそれぞれの間に設けられていてもよい。

【0130】

(センスアンプより後段の信号出力動作)

さらに、入力線40A, 40Bから取り出す電位差をセンスアンプ106Bにより差動増幅することにより(図2)、値が一層大きく、かつS/Nの良い出力が得られる。出力線51A, 51Bには、各ビット方向単位読出回路80 (... , 80n, 80n+1, ...)の多数のセンスアンプ106Bがコレクタ側でカスケード接続されているが、複数あるビットデコード線20の1つが選択されると同時にトランジスタ44が導通することによって、対応する1つのセンスアンプ106Bがアクティブとなり、そのコレクタ出力だけが出力線51A, 51Bに送出される。

【0131】

なお、ここでは、トランジスタ 22A, 22B、抵抗器 23A, 23Bおよびセンスアンプ 106Bは、記憶セル 12と同じ幅Wの領域内に集積配置されているため、これらのうち差動対をなす素子同士は、動作中の温度変化もほぼ等しくなる。これにより、温度変化によって生じる出力値の変動が抑えられる。

【0132】

センスアンプ 106Bの出力は、出力線 51A, 51B、読み出し用データバス 112を経由して、最終的には出力バッファ 102Bに入力される。出力バッファ 102Bは、入力された信号電圧を、増幅すると共に2値の電圧信号として外部データ端子D0~D7から出力する。

【0133】

このように本実施の形態においては、磁気記憶素子 12A, 12Bは環状磁性層5を備えたものとしたので、効率よく書き込みを行うことができると同時に、第2の磁性層3の磁化方向を十分に揃えて情報を確実に書き込むことができる。翻って情報を読み出す場合、このように第2の磁性層3の磁化が所定方向に十分揃った状態であれば、第1の磁性層1との相対的な磁化方向によって、磁気記憶素子 12A (12B)におけるトンネル電流値もはっきりと大小の2値状態を示すことになり、S/N比の高い出力値が得られる。

【0134】

これに加え、ここでは、記憶セル 12を1対の磁気記憶素子 12A, 12Bで構成し、双方に流れる電流を差動出力するようにしたので、センスビット線 21A, 21Bに結合した雑音が除去される。そのうえで、センスワード線 31の接地側に定電流回路 108Bを設け、読み出し回路に流れるセンシング電流の総和が一定に保たれるようにしたので、記憶セル 12ごとの特性のばらつきに対し、センスビット線 21A, 21Bの電流値の差は、常に一定の範囲内に収められる。また、総電流値を一定値に規格化することは、1対の磁気記憶素子 12A, 12Bの相互間の抵抗のばらつきに対しても、センスビット線 21A, 21Bの各電流値の変動を押さえ込む効果を有している。これにより、安定した差動出力を得ることが可能となり、読み出し信号のS/N比を向上させることができる。な

お、定電流回路 108B のトランジスタ 33 は、ワードデコード線 30 の半導体スイッチとしても機能するようにしたので、比較的平易に製造でき、回路設計上も有利である。

【0135】

また、各磁気記憶素子 12A, 12B とセンスワード線 31 との間に、一方向素子としてダイオード 13A, 13B を設けるようにしたので、センスワード線 31 から磁気記憶素子 12A, 12B へ電流が逆流することが防止される。これにより、共通のセンスビット線 21A, 21B または共通のセンスワード線 31 に接続された記憶セル 12 の間、および、1 つの記憶セル 12 の中の磁気記憶素子 12A と磁気記憶素子 12B の間に電流経路ができることが防止され、センシング電流の漏れや回り込みが遮断されるために、雑音を低減することができる。

【0136】

さらに、本実施の形態では、センスアンプ 106B の回路エリアに、トランジスタ 22A, 22B、および抵抗器 23A, 23B をセンスアンプ 106B と共に集積配置するようにしたので、センスアンプ 106B と共に差動増幅回路を構成し、対をなす回路素子が、互いに近接した位置に形成される。よって、これらの回路素子は、同様の温度条件で駆動されることから、温度変化による特性ばらつきが抑制され、この差動増幅回路における雑音を防止することができる。

【0137】

以上のように、本実施の形態の磁気メモリデバイスにおける読み出し回路では、記憶セル 12 ごとの特性のばらつきによる雑音、1 対の磁気記憶素子 12A, 12B の相互間の抵抗のばらつきによる雑音を低減させると共に、データ線に結合した雑音、センスアンプ 106B ならびにその他の差動対の特性ばらつきによる雑音、電源回路から回り込む周辺回路の雑音を抑えるようにしたので、読み出し信号出力の S/N 比を大きく向上、改善することができる。よって、この磁気メモリデバイスは、読み取り誤差の少ない安定した動作を行うことが可能である。また、S/N 比向上により、大きな信号出力値を得ることができることから、記憶セル 12 を高集積化する場合にも十分な出力を得ることが可能であり、その一方で、低電流、低電圧の駆動を実現することも可能である。

【0138】

なお、一般に、磁気メモリデバイスでは、極薄のトンネルバリア層が絶縁破壊されるのを防ぐため、磁気記憶素子にトンネル電流を流すときには素子にかかる電圧を適切な値とする必要がある。本実施の形態の磁気メモリデバイスは、定電流回路108Bを備えることによって、トンネル電流を小さくし、トンネルバリア層2にかかる電圧をその電氣的耐圧よりも十分に低い電圧まで下げて駆動することができる。また、本実施の形態の読み出し回路は、電流経路が電源Vccから接地に向けて直列に、電流電圧変換用抵抗器23A(23B)、トランジスタ22A(22B)、磁気記憶素子12A(12B)、逆流防止用ダイオード13A(13B)、トランジスタ33、電流制限抵抗器34の5段構成になっている。その電圧分圧の関係から、これらの磁気記憶素子12A(12B)における電圧降下を現実的に0.1V~0.3V程度と低く抑えることができる。無論、こうした場合に磁気記録素子12A、12Bから直接的に得られる電圧出力(電流電圧変換抵抗23A、23Bにおける電圧降下)は微弱なものであるが、センシング電流を定電流とした効果によりS/N比は高い。ここでは、この出力をさらに数段の差動増幅回路で増幅させて最終出力とするため、十分な読み出し感度を得ることができる。すなわち、この磁気メモリデバイスは、従来に比べ極めて微弱なトンネル電流で駆動させ、磁気記憶素子12A、12Bの絶縁破壊を防止すると同時に、値が十分に大きく、かつ良好なS/N比の信号出力を得ることが可能である。

【0139】

【実施例】

[センスアンプによる増幅度の検証]

上記実施の形態と同様の実回路(図2参照)において、情報の読み出し中に、各測定点における電流値を電流プローブを用いて測定した。測定点は、図19に示したP1~P9の9点である。

すなわち、

測定点P1 ... トランジスタ22Aのコレクタ端子

測定点P2 ... トランジスタ22Bのコレクタ端子

測定点 P 3 ... トランジスタ 22 A のベース端子

測定点 P 4 ... トランジスタ 22 B のベース端子

測定点 P 5 ... トランジスタ 41 A のコレクタ端子

測定点 P 6 ... トランジスタ 41 B のコレクタ端子

測定点 P 7 ... トランジスタ 41 A のベース端子

測定点 P 8 ... トランジスタ 41 B のベース端子

測定点 P 9 ... トランジスタ 44 のコレクタ端子

である。これらの電流値を、ビットデコード線 20 に印加するビットデコード電圧の値を変化させて測定した。

【0140】

図 20 は、測定点 P 1 ~ P 4 の測定結果を示している。実回路では、磁気記憶素子 12 A に接続される側でセンスビット線 21 A に流れる電流は、トランジスタ 22 A のエミッタ電流、つまりトランジスタ 22 A のコレクタ電流とベース電流の総和となる。測定結果からは、測定点 P 1 のコレクタ電流が、測定点 P 3 のベース電流を無視できる程度に大きいことがわかる。よって、トランジスタ 22 A のコレクタ端とエミッタ端では流れる電流はほぼ等しいことがわかる。また、トランジスタ 22 B に対する測定点 P 2 のコレクタ電流と、測定点 P 4 のベース電流との関係も同様であり、トランジスタ 22 B のコレクタ端とエミッタ端では流れる電流はほぼ等しいことがわかる。

【0141】

図 21 は、測定点 P 1 ~ P 9 の測定結果を示している（図 20 とは縦軸の電流値のスケールが異なる）。電流電圧変換用抵抗器 23 A, 23 B に流れる電流は分岐して、それぞれ、ビット列選択用スイッチであるトランジスタ 22 A, 22 B のコレクタ端子と、センスアンプ 106 B の差動対であるトランジスタ 41 A, 41 B のベース端子とに流れ込む。さらに、トランジスタ 41 A, 41 B のコレクタ電流、ベース電流の総和がそれぞれのエミッタ電流となるが、そのエミッタ電流は、共通の配線で合流してトランジスタ 44 のコレクタ端子に流れ込む。

【0142】

トランジスタ 41A, 41B のコレクタ電流は、各ベース電流（測定点 P7, P8 の電流）が増幅されて得られたものである。測定結果からは、測定点 P5 のトランジスタ 41A のコレクタ電流と、測定点 P6 のトランジスタ 41B のコレクタ電流の差分が、元の出力であるセンスビット線 21A, 21B の電流差に比べて極めて大きいことがわかる。その電流差の比率は、図示の測定データの場合およそ 200 倍にも及ぶ。したがって、この磁気メモリデバイスでは、読み出し信号をこのようなセンスアンプ 106B で増幅することで、非常に大きな出力が得られることがわかる。

【0143】

なお、測定結果からは、測定点 P7, P8 におけるトランジスタ 41A, 41B のベース電流も非常に小さいことがわかり、電流電圧変換用抵抗器 23A, 23B に流れる電流は、トランジスタ 22A, 22B のコレクタ端子に流れ込む電流とほぼ等しいといえる。よって、この読み出し回路において、センスアンプ 106B は磁気記憶素子 12A, 12B の電流変化を忠実に増幅していることが確認できた。

【0144】

〔定電流回路の効果の検証〕

次に、実施の形態と同様の実回路において、磁気記憶素子 12A (12B) の抵抗ばらつきに対する読み出し信号（電圧）の変動を、2通りの場合に分けて調べた。

【0145】

（記憶セル間の抵抗ばらつきに対する効果）

まず、各磁気記憶素子 12A, 12B の低抵抗時の抵抗値 (R_L) , 高抵抗時の抵抗値 (R_H) が、記憶セル 12 間で異なる場合について調べた。すなわち、それぞれ抵抗値 R_L , R_H が異なる記憶セル 12 からの読み出し電圧の出力値を測定した。ここで、記憶セル 12 ごとの抵抗値は、最大値と最小値で 10 倍近く変化させたが、各記憶セル 12 における MR 比 (R_L/R_H) は 25% 固定とした。

【0146】

図 22 は、その測定結果を表したものであり、横軸は高抵抗時の抵抗値 R_H 、縦軸は電源電圧 V_{cc} で規格化した出力電圧値を示している。同図において、白丸が高抵抗時の抵抗値 R_H をとった方の磁気記憶素子 12A (12B) からの出力電圧値を、×印が低抵抗時の抵抗値 R_L をとった方の磁気記憶素子 12B (12A) からの出力電圧値をそれぞれ表している。また、測定値は実線で結ばれており、点線で示したのは、電流を一对の磁気記憶素子に流し、その磁気記憶素子の電圧降下を直接的にセンスする構成の比較例における結果である。

【0147】

図示した結果からは、実施の形態の読み出し回路では、記憶セル 12 ごとの抵抗値がこれほど大きく異なっても、抵抗値 R_L の側からの出力電圧、および抵抗値 R_H の側からの出力電圧は、それぞれほぼ一定値をとることが明らかである。よって、両者の差分である最終出力電圧も、記憶セル 12 ごとの抵抗値ばらつきによらず常に一定であることが確認できた。これは、実施の形態において説明したように、定電流回路 108B を設け、抵抗値 R_L , R_H をとる磁気記憶素子 12A, 12B に流れる電流の総和を規格化することの効果である。

【0148】

(比較例)

この実施例の比較例として、電流を一对の磁気記憶素子に流し、その磁気記憶素子の電圧降下を直接的にセンスする構成の読み取り回路にて、同様の測定を行った。図 23 に、比較例の等価回路図を示す。この読み取り回路は、一方が高抵抗、他方が低抵抗となって情報を記憶する 1 対の磁気記憶素子 (可変抵抗 R_1 , R_2 として図示) の電圧の差分を読み取る方式をとり、対をなす磁気記憶素子の各々は電流源、セル選択用半導体スイッチに直列に接続されるが、この直列配線は互いに別途独立している。また、この場合には磁気記憶素子の電圧降下を S , $\angle S$ として直接読み出しているために、電流電圧変換用抵抗器は用いられない。その測定結果は、図 22 に点線で示されている。このように、各磁気記憶素子に対する電流を一定とする回路では、磁気記憶素子の抵抗に比例して出力値が大きく変わる。よって、磁気記憶素子の抵抗ばらつき具合が、直ちに出力値に変動となって影響することになる。

【0149】

(磁気記憶素子間の抵抗ばらつきに対する効果)

次に、各記憶セル12で対をなしている磁気記憶素子12A、12Bの間で、MR比がばらつく場合について調べた。ここでは、抵抗値 R_H を固定し、抵抗値 R_L を変えることで各記憶セル12のMR比を変え、それぞれの出力電圧を測定した。

【0150】

図24は、その測定結果を表したものであり、横軸はMR比(%)、縦軸は電源電圧 V_{cc} で規格化した出力電圧値を示している。同図では、白丸が抵抗値 R_H をとった方の磁気記憶素子12A(12B)からの出力電圧値、×印が抵抗値 R_L をとった方の磁気記憶素子12B(12A)からの出力電圧値をそれぞれ表している。また、測定値は実線で結ばれており、点線は、抵抗値 R_H 、 R_L それぞれの電圧に対する定電流効果によるオフセット基準値である。

【0151】

図示の結果からは、実施の形態の読み出し回路では、抵抗値 R_L 側からの出力電圧と、抵抗値 R_H 側からの出力電圧は、MR比が小さくなるにつれ互いに漸近する傾向が見て取れる。つまり、各記憶セル12ごとにMR比がばらつくと、その影響が電圧出力にはこのような形で表れることがわかる。それでも、抵抗値 R_L 側の出力電圧と、抵抗値 R_H 側の出力電圧は、基準値を挟んでそれぞれ一定の範囲内に収まっている。この場合、MR比が15%程度以上あれば両者の差分は出力として十分であることから、同一の回路構成で定電流回路を設けない場合と比較しても、読み取り誤差が生じる可能性は少なくなっている。

【0152】

また、こうした構成の回路一般に言えることであるが、磁気記憶素子12A、12Bを流れる各電流は、総和が常に等しいことから、そのときの素子抵抗の比に応じ、常に総和の半分の値を中心とする上下に対称な値をとる。図24に点線で示したオフセット基準値は、まさにこの値を電圧に変換したものであり、その位置は電流の総和を変えない限り、不変である。そこで、センスアンプ106Bで差動増幅する際の閾値となる電圧レベルを、このオフセット基準値に合致させ

れば、センスアンプ 106B からは適正值の電圧出力が得られる。これも、定電流回路を付加したことの効果である。

【0153】

なお、本発明は、上記実施の形態および実施例には限定されず種々の変形実施が可能である。例えば、上記実施の形態では、センスアンプ 106B や定電流回路 108B、およびトランジスタ 22A、22B 等のスイッチング素子に、バイポーラトランジスタを用いるようにしたが、これ以外にも、CMOS (Complementary MOS) 等の半導体素子で構成することができる。

【0154】

なお、本発明の磁気メモリデバイスは、環状磁性層を備えた磁気抵抗効果素子の 2 つを用いて 1 単位情報を記憶するものであればよく、その書き込み／読み出しの方式を上記実施の形態に限定されるものではない。例えば、2 つの磁気抵抗効果素子に同一の情報を記憶させ、正常状態では一方の素子のみから読み出しを行い、読み出しエラーが発生した場合に他方の素子から読み出しを行うようにすることもできる。このように、1 単位情報につき 2 素子を用いることができることから、本発明の磁気メモリデバイスは、1 単位情報を 1 素子に対応させる場合に比べ、適用可能な書込方法および読出方法の自由度が高くなっている。

【0155】

前述のように、上記実施の形態では、積層面に垂直な方向に電流が流れる積層体を含む磁気抵抗効果素子として、磁気メモリ素子 12 を TMR 素子であるものとして説明したが、これを CPP-GMR 素子で置き換えてもよい。

【0156】

また、本発明の定電流回路については、記憶セルを構成する一対の磁気抵抗効果素子の素子構造を特に限定せず、いわゆる差動読み出しを行う磁気メモリデバイスに広く適用が可能である。すなわち、一対の磁気抵抗効果素子が、実施の形態で説明した磁気メモリ素子 12 の構成と同一である必要はなく、例えば、環状磁性層 5 を有せず、第 1 の磁性層 1、非磁性層 2 および感磁層である第 2 の磁性層 3 が含まれて積層した積層体に読出センシング用導線が接続され、積層面に垂直に電流を流して情報を読み出すような構成となってもよい。またさらに、

一対の磁気抵抗効果素子が、積層面に平行な方向に電流が流れる積層体を含む磁気抵抗効果素子（CIP（Current flows In the Plane）-GMR）であってもよい。配線構造に関しても、1方向の読出線（第2の読出線）に対して複数の記憶セルが接続されていること以外には、書込線、読出線とも特に限定されない。そのような場合にも、本発明の定電流回路は、実施の形態と同様の作用、効果を発揮することができる。

【0157】

また、上記実施の形態では、センスビット線21A、21Bを一対の第1の読出線に対応させ、センスワード線31を第2の読出線に対応させたが、本発明の第1および第2の読出線の配線方向は、実施の形態に限定されず、上記と逆の対応関係としてもよい。

【0158】

【発明の効果】

以上説明したように、本発明の磁気メモリデバイスによれば、複数の第1の書込線と、複数の第1の書込線とそれぞれ交差するように延びる複数の第2の書込線と、外部磁界によって磁化方向が変化する感磁層を含み積層面に垂直な方向に電流が流れるように構成された積層体と、この積層体の一方の面側に積層面に沿った方向を軸方向とするように配設されると共に第1および第2の書込線によって貫かれるように構成された環状磁性層とを含む複数の磁気抵抗効果素子とを備え、1つの記憶セルが一対の磁気抵抗効果素子を含んで構成されているようにしたので、書き込みの際に、環状磁性層の作用により感磁層の磁化を効率よく反転させることができる。しかも、2つの磁気抵抗効果素子を用いて1単位情報が記憶されるので、効率よく、かつ確実に情報書き込みを行うことができると同時に、情報の書き込み方式と読み出し方式とに自由度を与えることができる。

【0159】

特に、一対の第1の読出線の各々から一対の磁気抵抗効果素子の各々読出電流が供給され、この一対の読出電流値の差分に基づいて記憶セルから情報を読み出すようにすれば、読出電流は差動出力され、第1の読出線各々に生じる雑音や、磁気抵抗効果素子ごとの出力値に含まれるオフセット成分が除去される。従って

、書き込み効率に優れるだけでなく、読み出し時の S/N 比が高く、より大きな信号出力を得ることが可能となる。

【0160】

また、一对の磁気抵抗効果素子に供給された読出電流の電流経路上に設けられた整流素子と、一对の磁気抵抗効果素子を通じた読出電流を接地へと導く第2の読出線とを備えるようにすれば、整流素子により、読み出し対象の各記憶セルに向かって、共通の第2の読出線に接続されている他の記憶セルから電流が回り込んでくることが阻止される。よって、読出電流の一部成分が、正規の経路から外れて漏れ出したり、回り込んだりすることを防止することができ、読み出し信号出力の S/N 比を向上させることが可能となる。

【0161】

特に、一对の磁気抵抗効果素子に供給された読出電流の各電流経路上に、整流素子がそれぞれ設けられているようにすれば、各記憶セル間、あるいは磁気抵抗効果素子同士の間において、共通の第2の読出線に接続されている他の記憶セルまたは磁気抵抗効果素子から電流が逆流して来たり、さらに第1の読出線にまで通り抜けたりすることが整流素子によって阻止される。従って、一層効果的に読出電流の漏れや回り込みを防止することができ、読み出し信号出力の S/N 比を向上させることが可能となる。

【0162】

また、1つの記憶セルにおける一对の磁気抵抗効果素子を通じる読出電流の総和を規定する電流規定機能を有する定電流回路を備えるようにすれば、読出電流は総和が常に一定量だけ流れるよう制御される。すなわち、記憶セルに流れる総電流値が一定値に規格化されることで、磁気抵抗効果素子相互の抵抗ばらつきに対し、一对の磁気抵抗効果素子の各々の出力値のばらつきは一定範囲内に収められる。従って、出力値の差分も一定範囲内の値をとることから、安定した差動出力を得ることが可能となり、読出電流が微弱な場合であっても読み出し信号出力の S/N 比を向上させることが可能となる。

【0163】

さらに、一对の第2の半導体スイッチ、一对の電流電圧変換用抵抗器、および

センスアンプ回路が、同一の領域内に集積配置されているようにすれば、対となる素子の各々は、近接して配置されることで環境温度がほぼ等しくなり、駆動中の温度変化によって互いの特性値がかけ離れていくことが防止され、これらの回路が適正な差動動作を行うことが保障される。よって、信号雑音の発生を防止することが可能となる。

【0164】

本発明に係る磁気メモリデバイスの書込方法によれば、複数の第1の書込線と、複数の第1の書込線とそれぞれ交差するように延びる複数の第2の書込線と、外部磁界によって磁化方向が変化する感磁層を含み積層面に垂直な方向に電流が流れるように構成された積層体と、積層体の一方の面側に積層面に沿った方向を軸方向とするように配設されると共に複数の導線によって貫かれるように構成された環状磁性層とを含む複数の磁気抵抗効果素子とを備えた磁気メモリデバイスにおいて、一对の磁気抵抗効果素子を含むように1つの記憶セルを構成し、環状磁性層を貫く第1および第2の書込線の双方を流れる電流により生ずる磁界によって、一对の磁気抵抗効果素子の各々における感磁層の磁化方向が互いに反平行を向くように変化させることにより記憶セルに情報を書き込むようにしたので、一对の磁気抵抗効果素子において、感磁層の磁化方向を互いに反平行、つまり向かい合わせか、反対向きかに変化させることにより2値情報が書き込まれる。したがって、この書き込み動作は、環状磁性層を含む磁気抵抗効果素子において行われるため効率よく、かつ確実な情報の書き込みを達成でき、同時に、情報の書き込み方式・読み出し方式に自由度を与えることができる。また、本方法を適用して書き込まれた情報は、確実に書き込まれることから、その読み出し時に、S/N比がより高い出力信号を得ることが可能である。

【0165】

さらに、本発明に係る磁気メモリデバイスの読出方法によれば、複数の第1の書込線と、複数の第1の書込線とそれぞれ交差するように延びる複数の第2の書込線と、外部磁界によって磁化方向が変化する感磁層を含み積層面に垂直な方向に電流が流れるように構成された積層体と、積層体の一方の面側に積層面に沿った方向を軸方向とするように配設されると共に複数の導線によって貫かれるよう

に構成された環状磁性層とを含む複数の磁気抵抗効果素子とを備えた磁気メモリデバイスにおいて、一对の磁気抵抗効果素子を含むように1つの記憶セルを構成し、一对の磁気抵抗効果素子に、各積層体の積層面に垂直な方向に読出電流を供給し、積層体に流れる電流に基づいて記憶セルの情報を読み出すようにしたので、対をなす磁気抵抗効果素子の感磁層の相対的な磁化方向に応じて、これらの層面に垂直方向に電流を流した場合の電流値が異なることを利用し、磁気抵抗効果素子の積層体部分に流した読出電流の値より、感磁層の磁化方向として記憶された所定の情報が読み出される。従って、高い読み出し自由度を兼ね備えることが可能である。

【0166】

本発明に係るもう1つの磁気メモリデバイスによれば、複数の第1の書込線と、複数の第1の書込線とそれぞれ交差するように延びる複数の第2の書込線と、外部磁界によって磁化方向が変化する感磁層をそれぞれ有する複数の磁気抵抗効果素子とを備え、1つの記憶セルが一对の磁気抵抗効果素子を含むように構成し、記憶セルの一对の磁気抵抗効果素子に対してそれぞれ読出電流を供給するための一对の読出線と、一对の読出線から一对の磁気抵抗効果素子にそれぞれ供給された一对の読出電流の値の差分に基づいて記憶セルから情報を読み出す読出回路と、1つの記憶セルにおける一对の磁気抵抗効果素子を流れる読出電流の総和を規定する電流規定機能を有する定電流回路とを備えるようにしたので、各記憶セルが一对の磁気抵抗効果素子から構成され、対をなす磁気抵抗効果素子を流れる一对の読出電流の差分に基づいて情報が読み出される。その際に、定電流回路によって一对の磁気抵抗効果素子を流れる読出電流の総和が規定されることで、磁気抵抗効果素子相互の抵抗ばらつきに起因する読出電流のばらつきが一定範囲内に収められる。これにより、安定した差動出力を得ることができ、読み出し信号出力のS/N比を向上させることが可能となる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態に係る磁気メモリデバイスの全体構成を示すブロック図である。

【図 2】

図 1 に示した磁気メモリデバイスの記憶セルとその読み出し回路の構成を表す図である。

【図 3】

図 2 に示した読み出し回路のうち、センスアンプ全体の構成を説明するための回路図である。

【図 4】

図 1 に示した記憶セル群の Y 方向駆動回路部の周辺の実装の様子を表す構成図である。

【図 5】

図 4 に示した Y 方向駆動回路部の実際の回路配置を表す図である。

【図 6】

図 5 に示した単位駆動回路のうちセンスアンプ回路エリアのパターン配置図である。

【図 7】

図 1 に示した記憶セルの具体的構成を示す断面図である。

【図 8】

図 1 に示した磁気メモリデバイスの記憶セルとその書き込み用配線構造を表す図である。

【図 9】

図 7 に示した記憶セルの等価回路を表す図である。

【図 10】

図 7 に示した記憶セルにおける情報記憶の方法を説明するための図である。

【図 11】

図 7 に示した記憶セルにおける情報書き込み方法を説明するための図である。

【図 12】

図 1 に示した磁気メモリデバイスにおける記憶セルからの読み出し動作原理を説明するための図である。

【図 13】

図 2 に示した読み出し回路の比較例を説明するための回路図である。

【図 1 4】

図 2 に示した読み出し回路における逆流防止用ダイオードの変形例に係る整流素子とその配置を示す図である。

【図 1 5】

図 2 に示した読み出し回路における逆流防止用ダイオードの変形例に係る整流素子とその配置を示す図である。

【図 1 6】

図 2 に示した読み出し回路における逆流防止用ダイオードの変形例に係る配置を示す図である。

【図 1 7】

図 2 に示した読み出し回路における逆流防止用ダイオードの変形例に係る整流素子とその配置を示す図である。

【図 1 8】

図 2 に示した読み出し回路における逆流防止用ダイオードの変形例に係る整流素子とその配置を示す図である。

【図 1 9】

本発明の磁気メモリデバイスの実施例に係る読み出し回路の図である。

【図 2 0】

図 1 9 に示した読み出し回路におけるビットデコード電圧と測定点 P 1 ～ P 4 の電流測定値との関係を示す図である。

【図 2 1】

図 1 9 に示した読み出し回路におけるビットデコード電圧と測定点 P 1 ～ P 9 の電流測定値との関係を示す図である。

【図 2 2】

図 1 9 に示した読み出し回路における磁気記憶素子の記憶セル単位の抵抗変動と出力電圧との関係を示す図である。

【図 2 3】

図 2 2 に示した実施例に対する比較例の読出し回路を説明するための等価回路

図である。

【図 24】

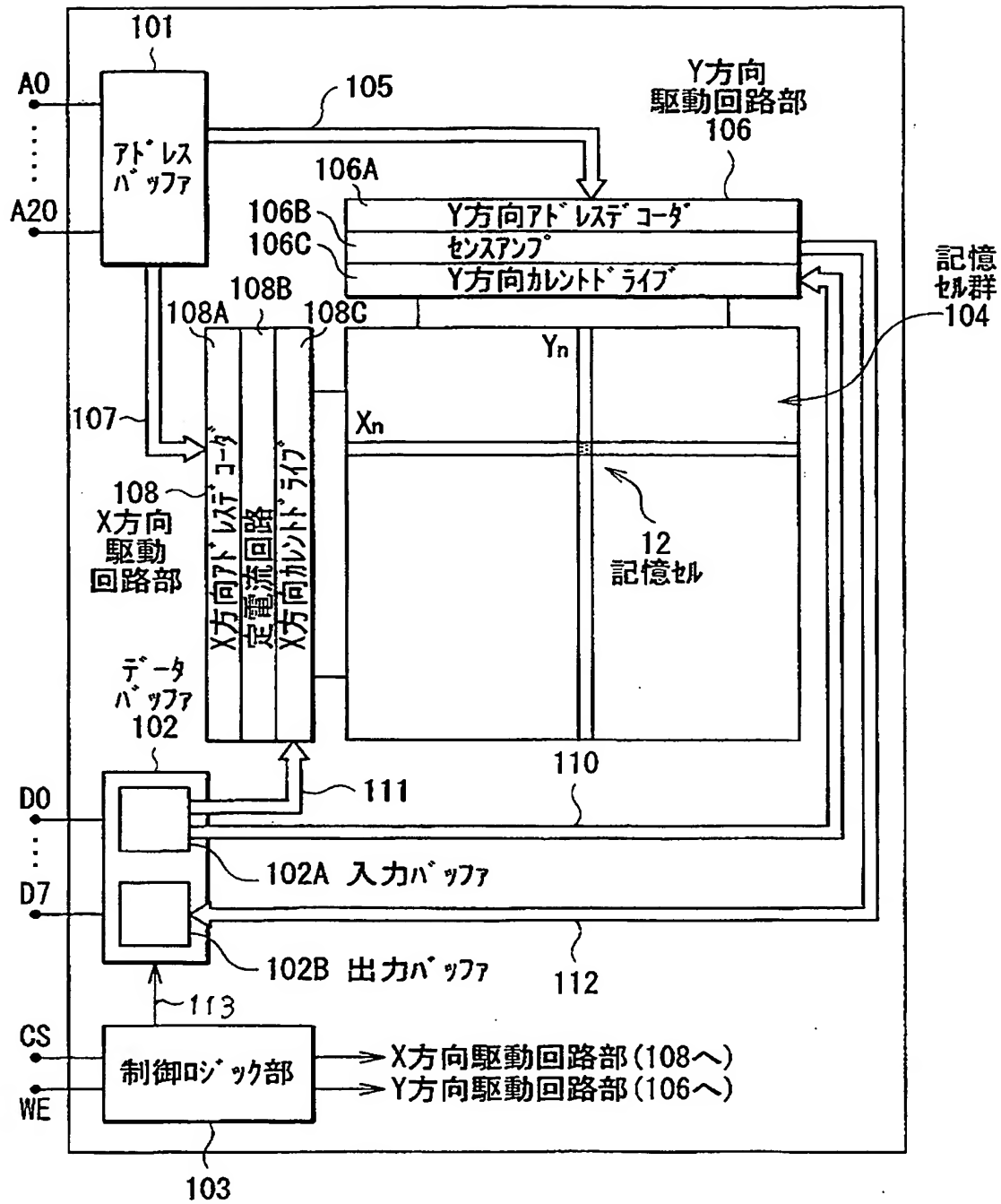
図 19 に示した読み出し回路における、対をなす磁気記憶素子間の抵抗変動と出力電圧との関係を示す図である。

【符号の説明】

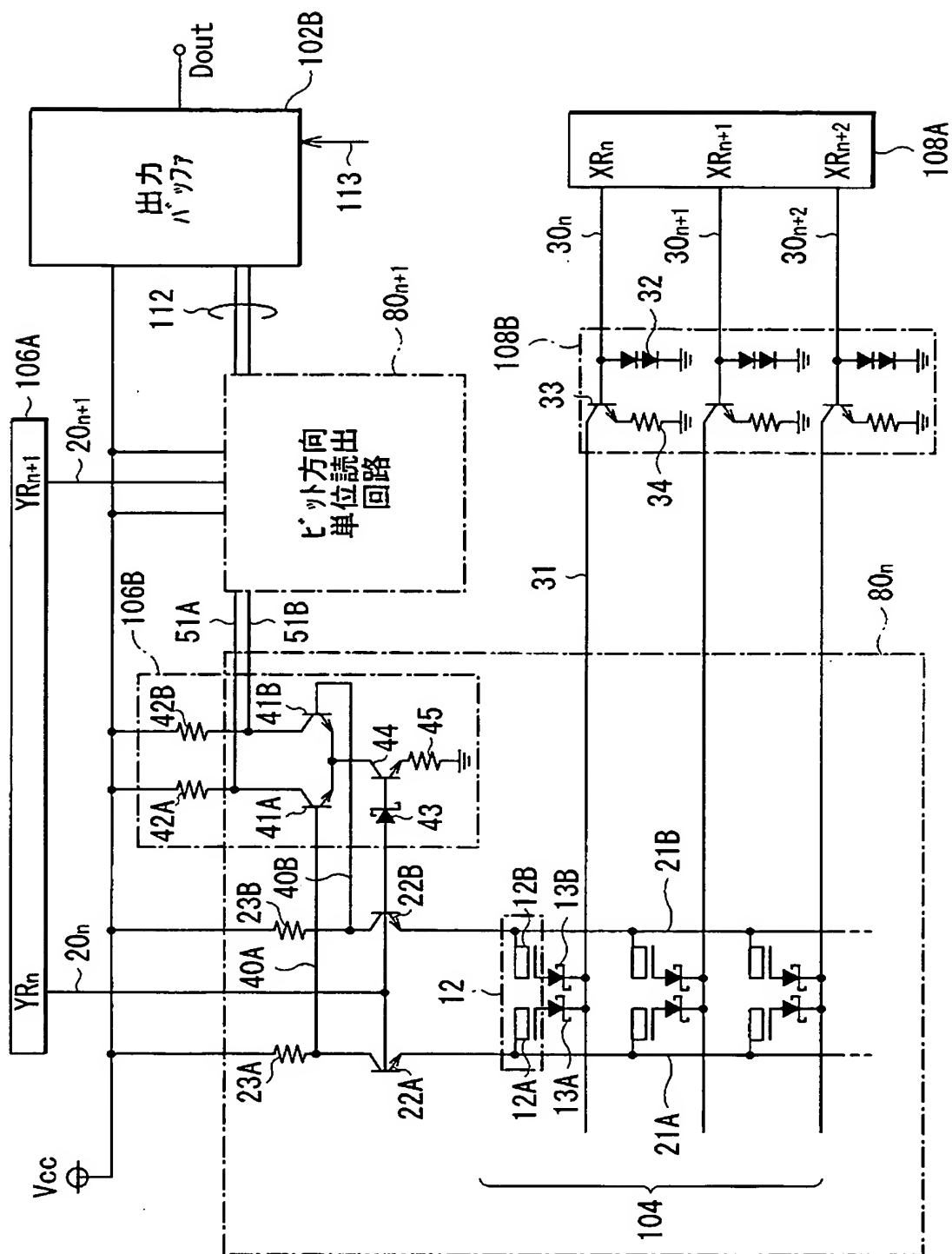
1…第 1 の磁性層、2…非磁性層（トンネルバリア層）、3…第 2 の磁性層、4…非磁性導電層、5…環状磁性層、6 a…書込用ビット線、6 b…書込用ワード線、7…絶縁層、8…導電層、9…エピタキシャル層、10…基板、11…読出センシング用導線、12…記憶セル、12 A, 12 B…磁気記憶素子、13 A, 13 B…逆流防止用ダイオード、20…ビットデコード線、21 A, 21 B…センス用ビットデコード線（センスビット線）、22 A, 22 B…トランジスタ、23 A, 23 B…電流電圧変換用抵抗器、30…ワードデコード線、31…センス用ワードデコード線（センスワード線）、32…ダイオード、33…トランジスタ、34…電流制限抵抗器、40 A, 40 B…センスアンプ入力線、41 A, 41 B…トランジスタ、42 A, 42 B…バイアス抵抗器、43…ダイオード、44…トランジスタ、45…抵抗器、51 A, 51 B…センスアンプ出力線、63 A, 63 B…逆流防止用トランジスタ、73 A, 73 B…逆流防止用 MOS FET、80…ビット方向単位読出回路、101…アドレスバッファ、102…データバッファ、102 A…入力バッファ、102 B…出力バッファ、103…制御ロジック部、104…記憶セル群、105, 107…アドレス線、106…Y 方向駆動回路部、106 A…Y 方向アドレスデコーダ、106 B…センスアンプ、106 C…Y 方向カレントドライブ、108…X 方向駆動回路部、108 A…X 方向アドレスデコーダ、108 B…定電流回路、108 C…X 方向カレントドライブ、109…記憶セル、110, 111…書き込み用データバス、112…読み出し用データバス、113…制御信号線、A0～A20…外部アドレス入力端子、D0～D7…外部データ端子、Xn…（記憶セル 12 の）ワード列、Yn…（記憶セル 12 の）ビット列、DUn…単位駆動回路。

【書類名】 図面

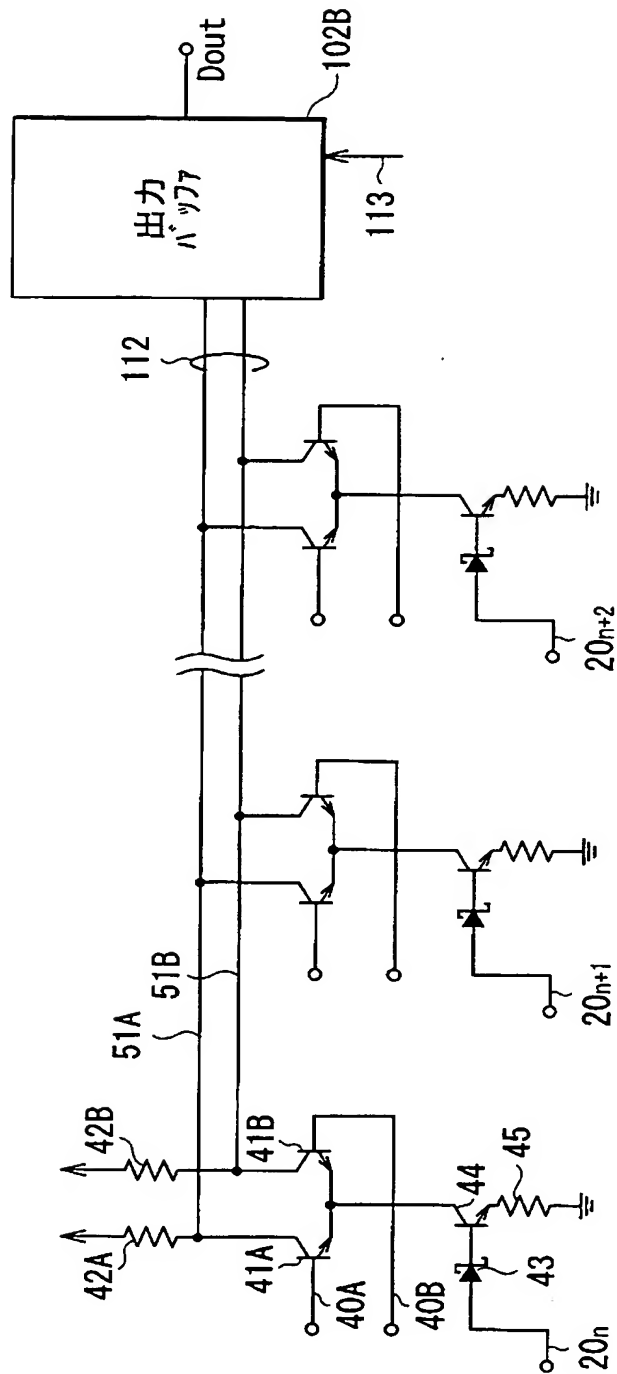
【図 1】



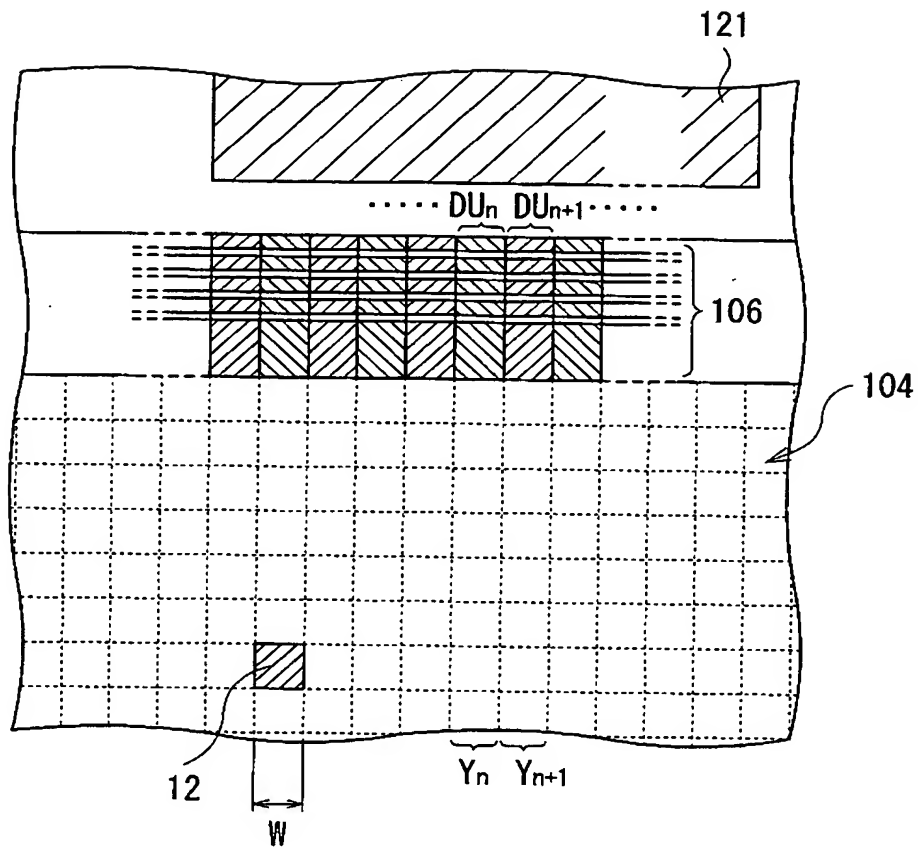
【図 2】



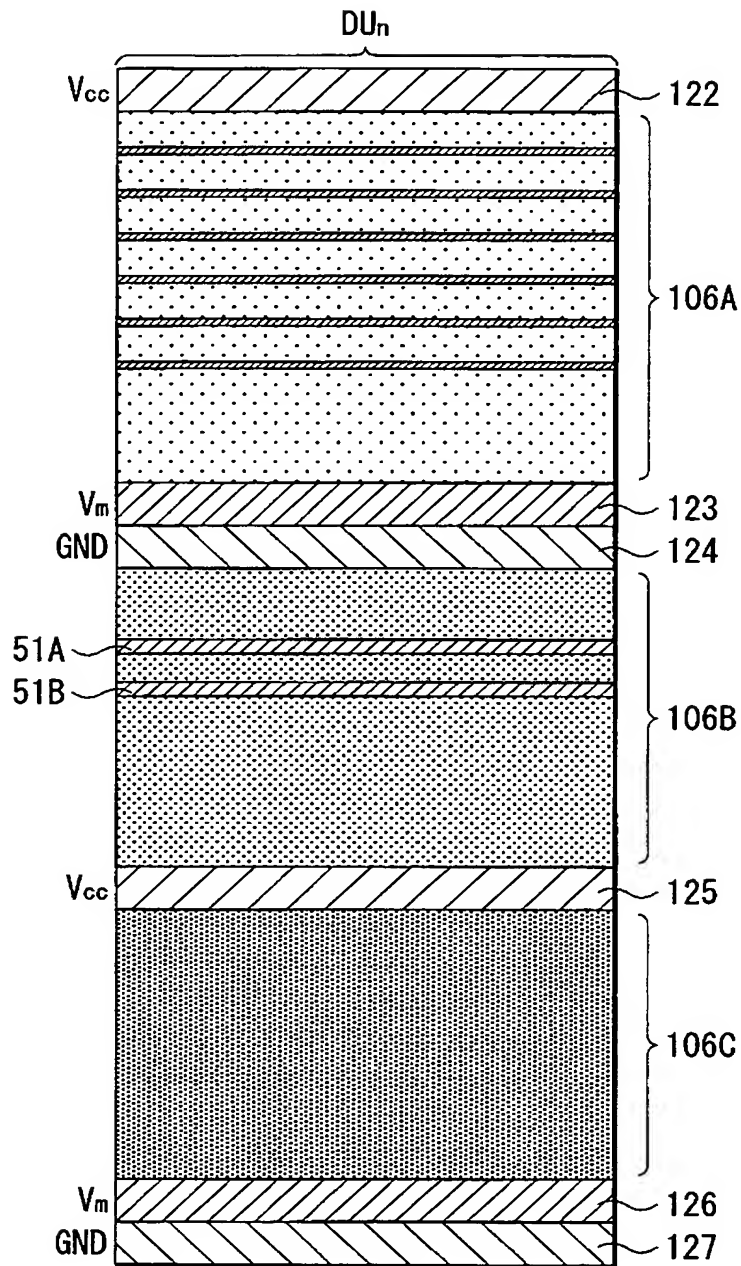
【図 3】



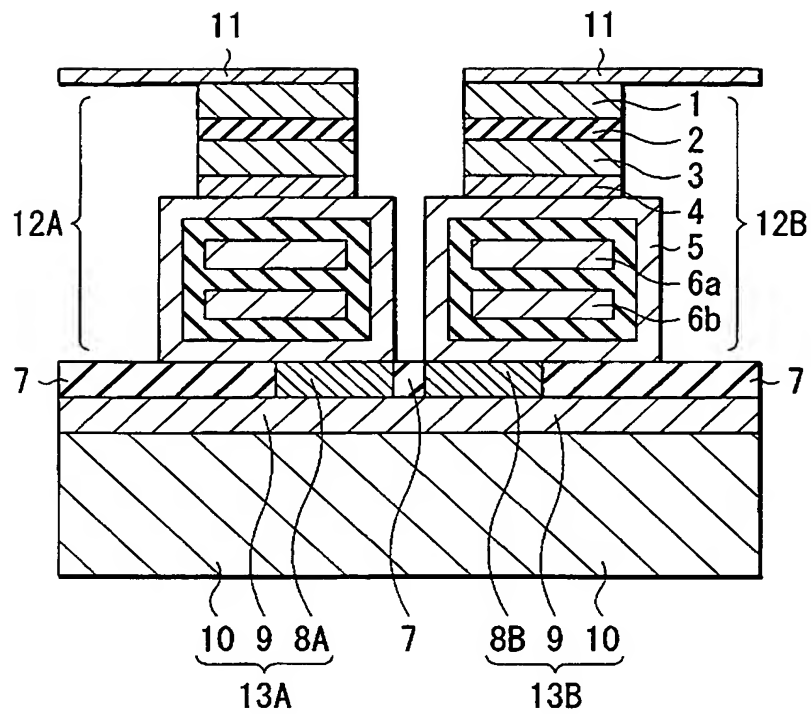
【図 4】



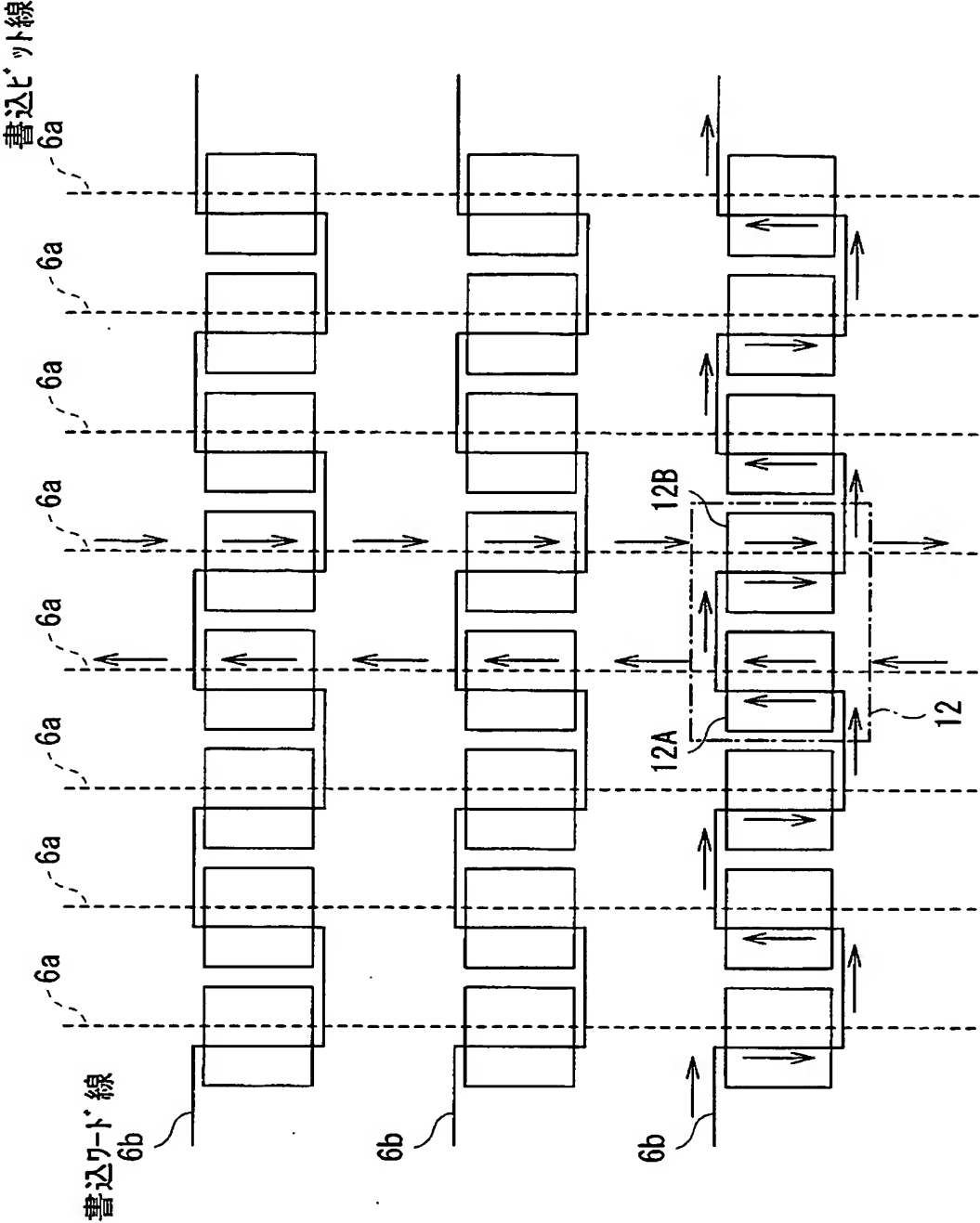
【図 5】



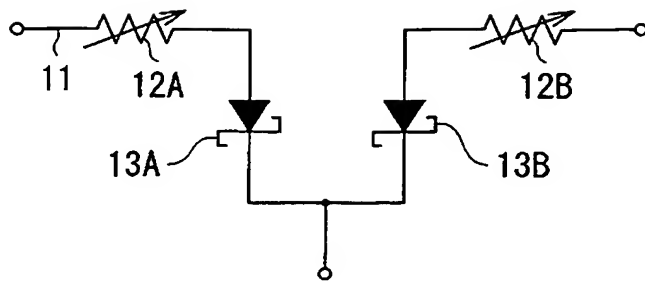
【図 7】



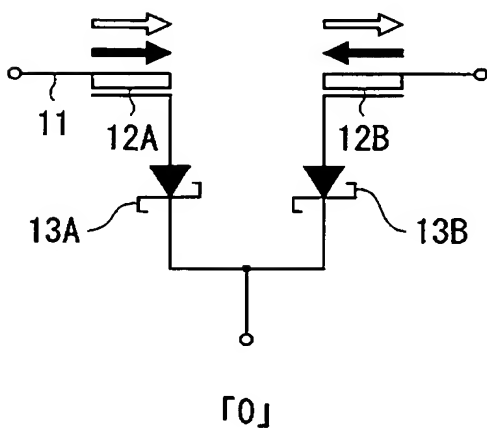
【図 8】



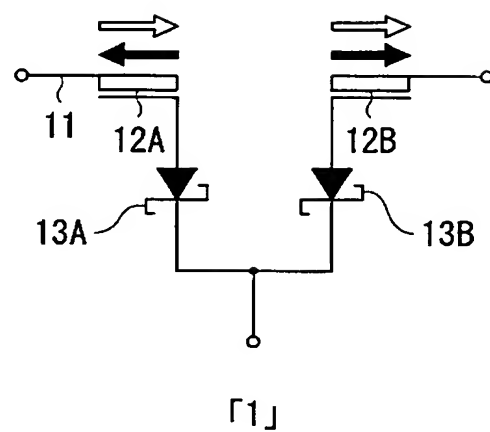
【図 9】



【図 10】

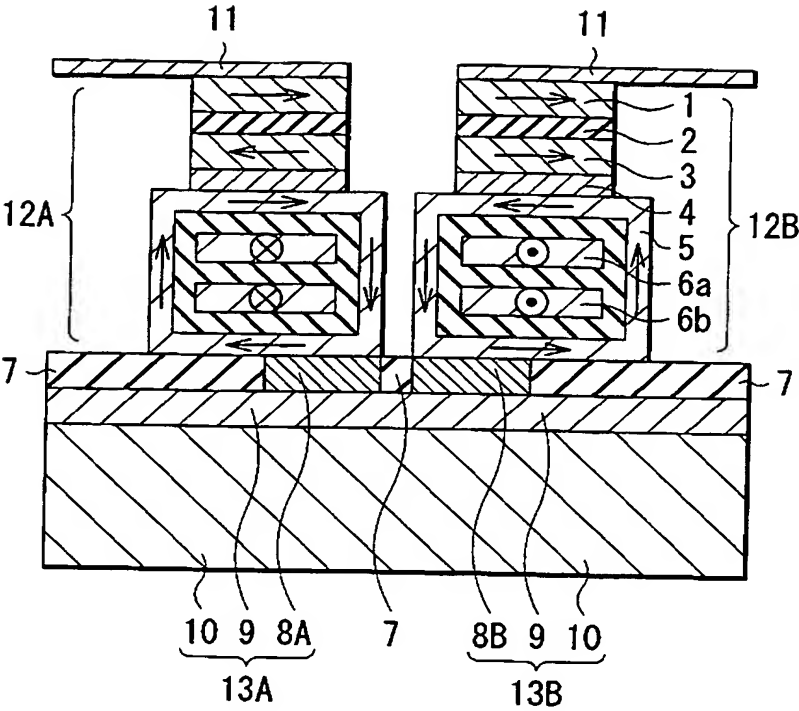


(A)

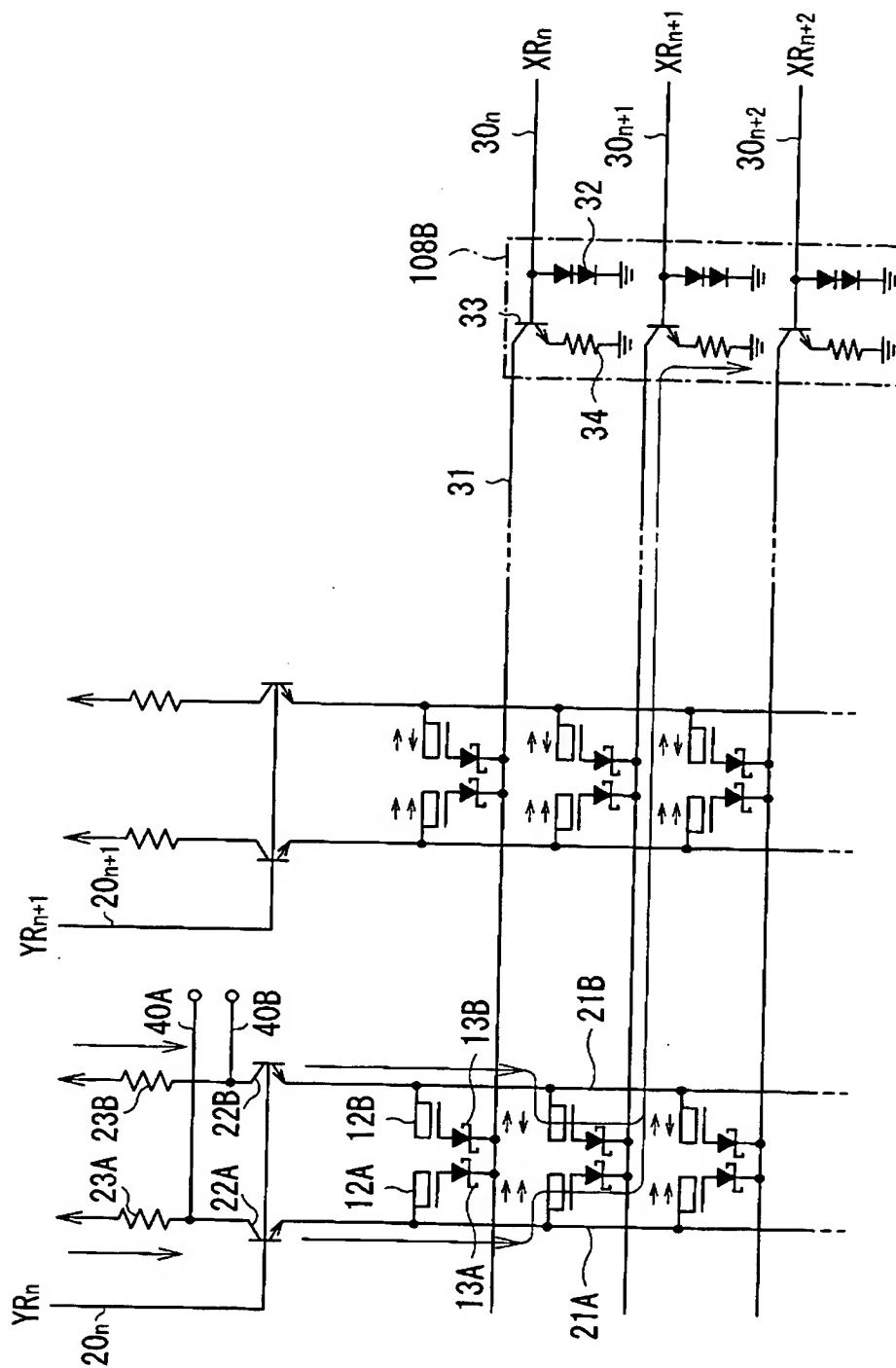


(B)

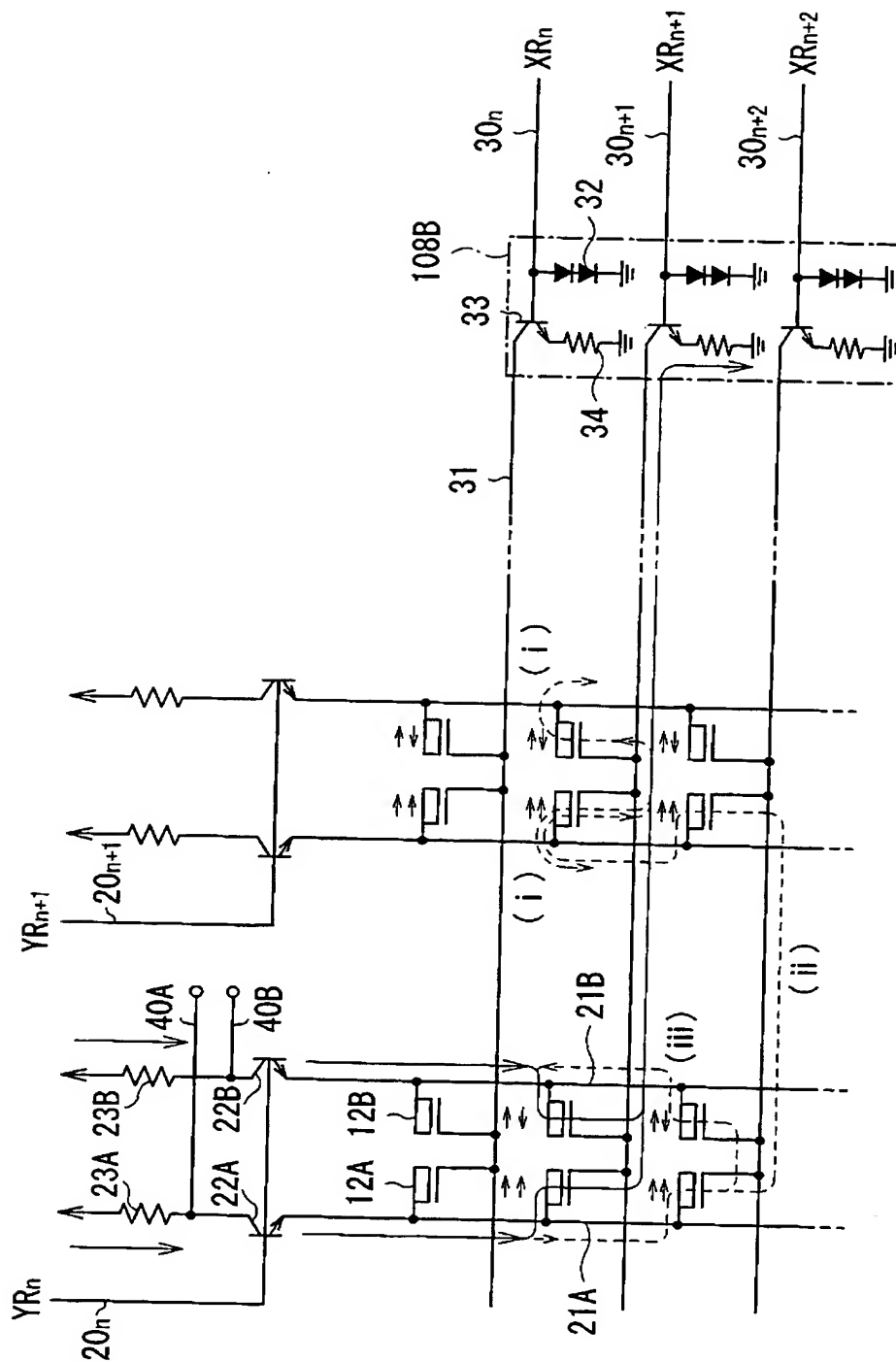
【図 11】



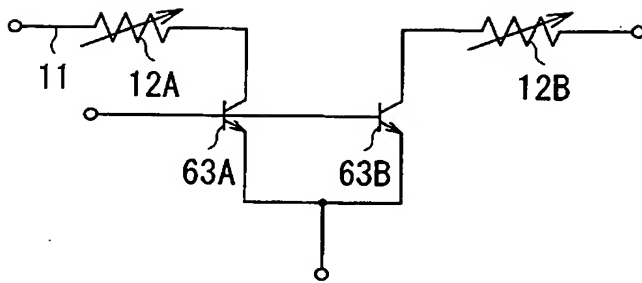
【図 12】



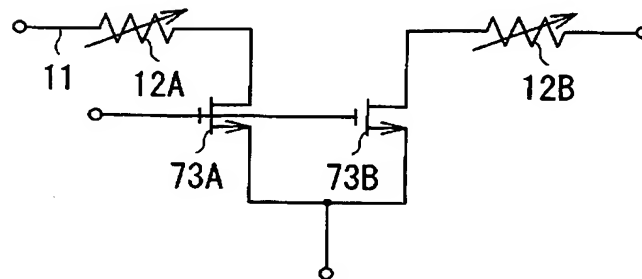
【図 13】



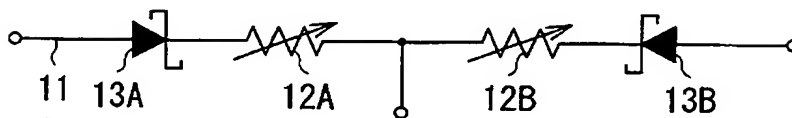
【図 14】



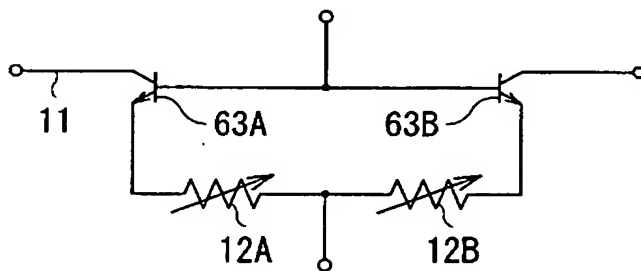
【図 15】



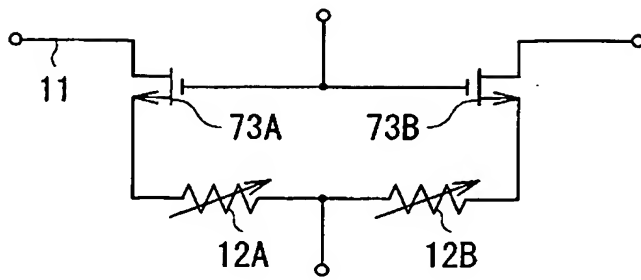
【図 16】



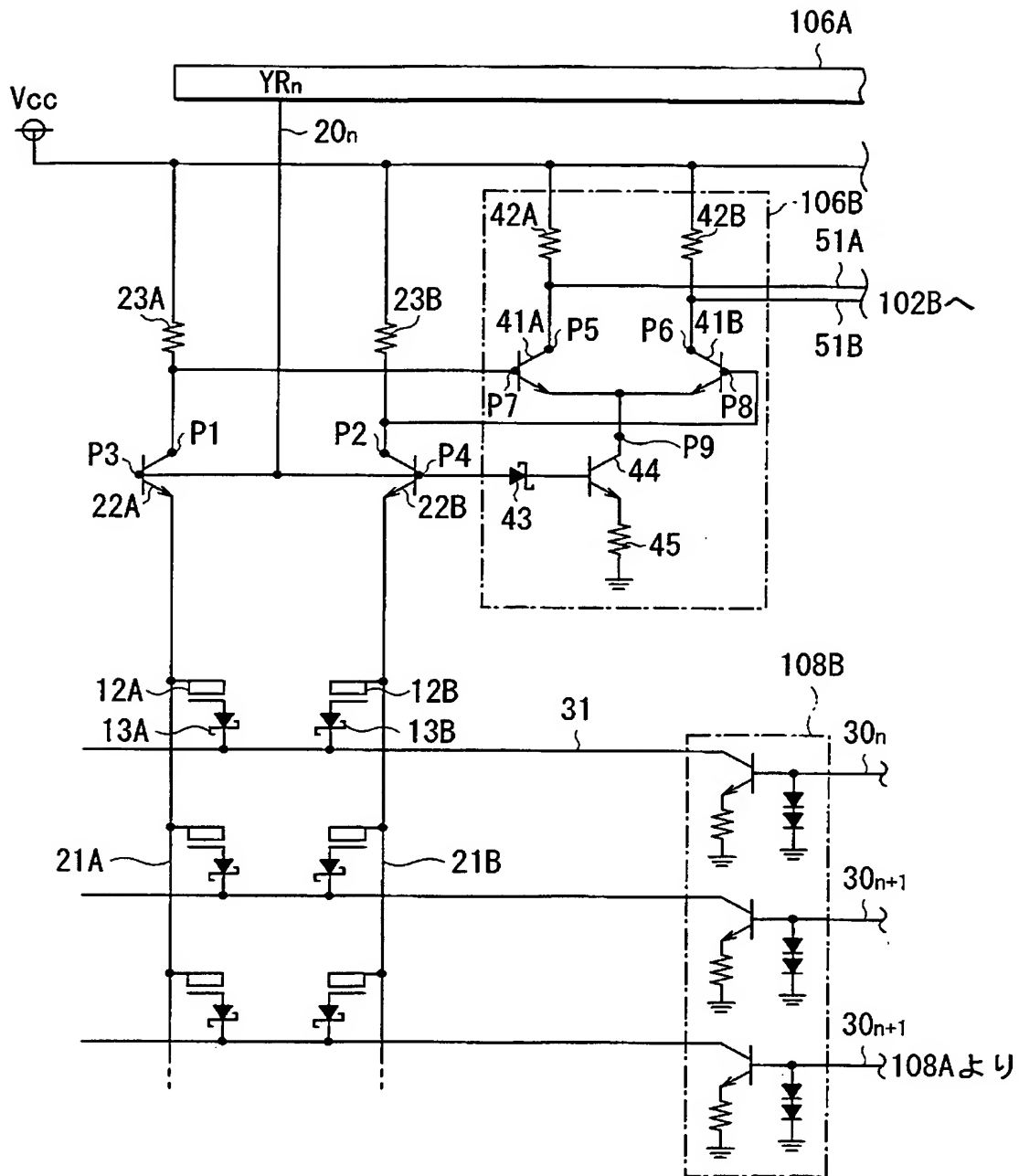
【図 17】



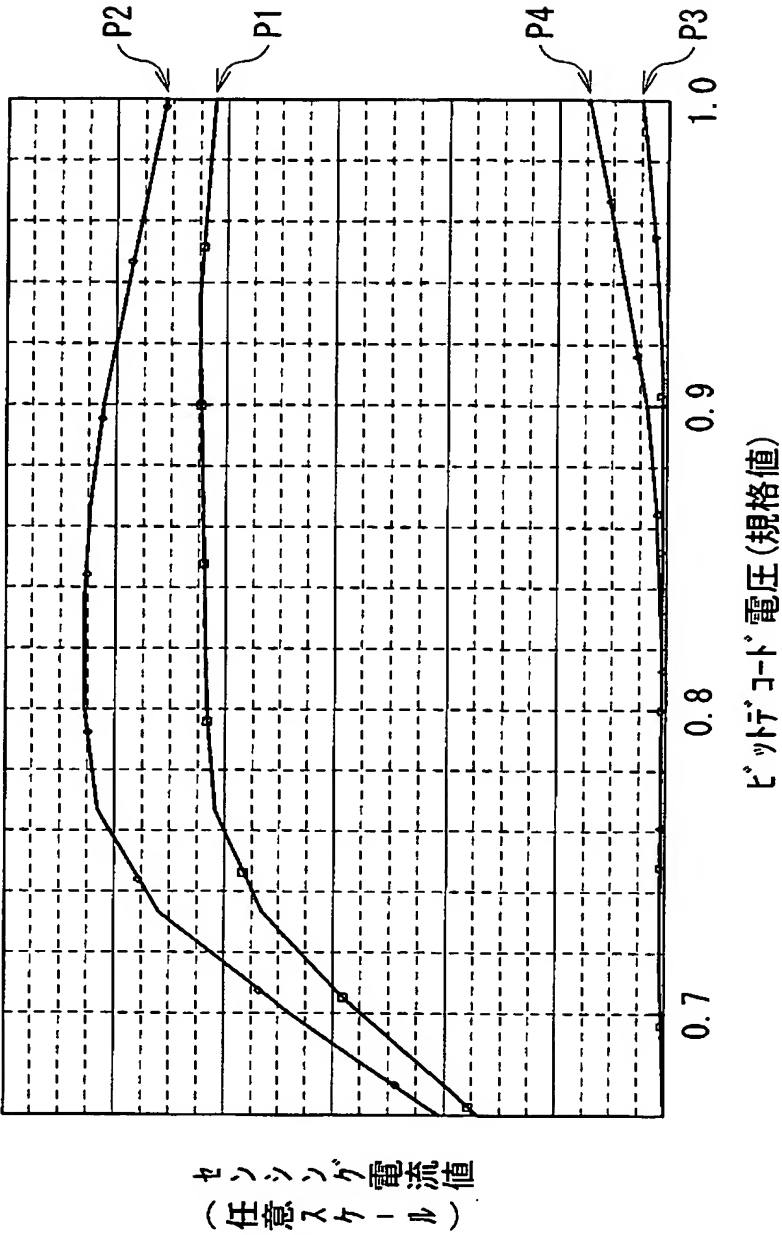
【図 1 8】



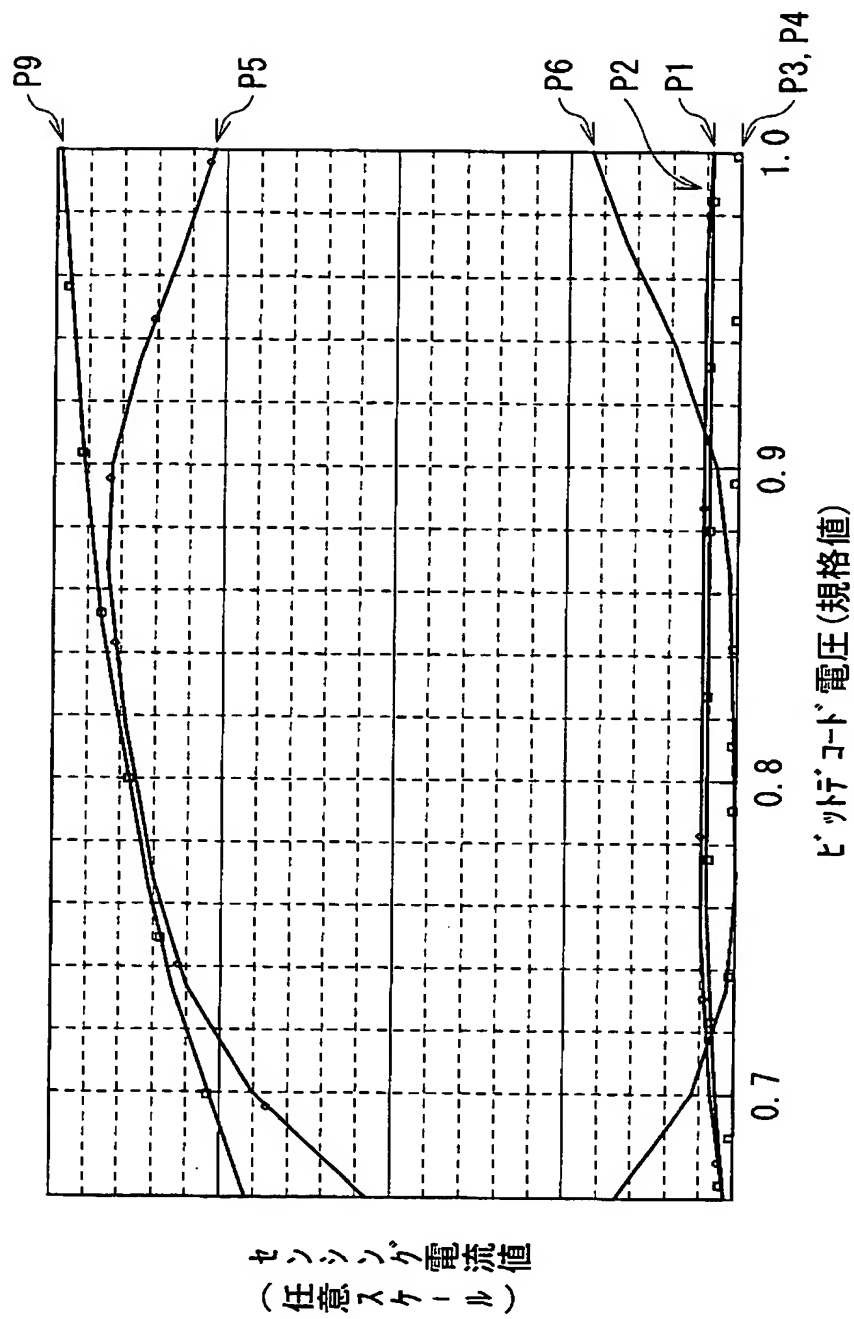
【図 19】



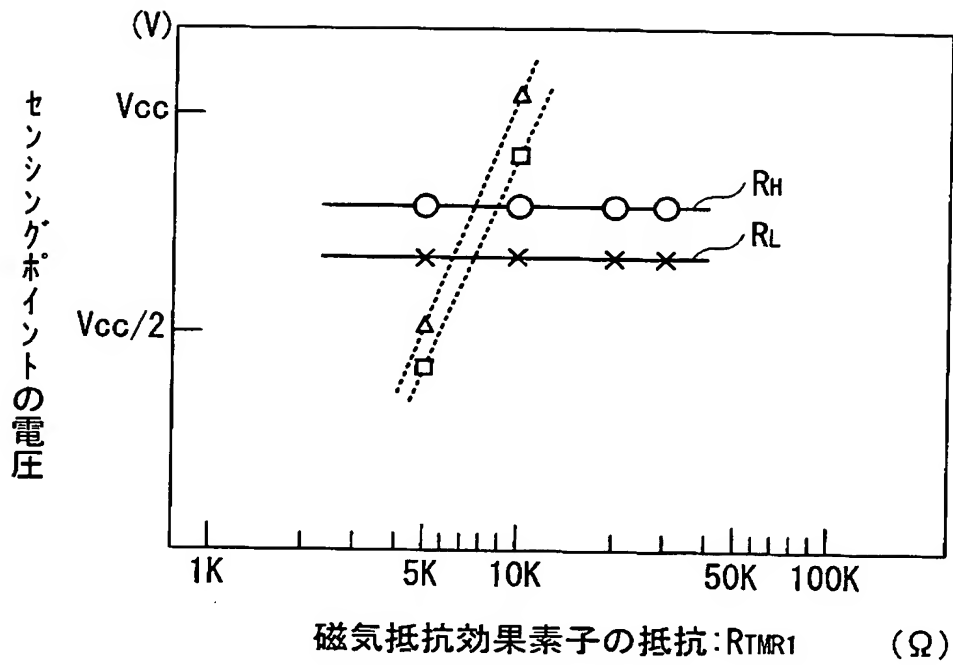
【図 20】



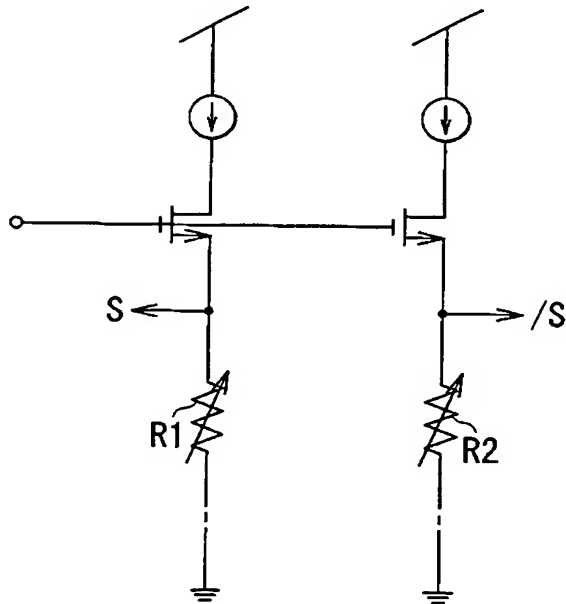
【図 21】



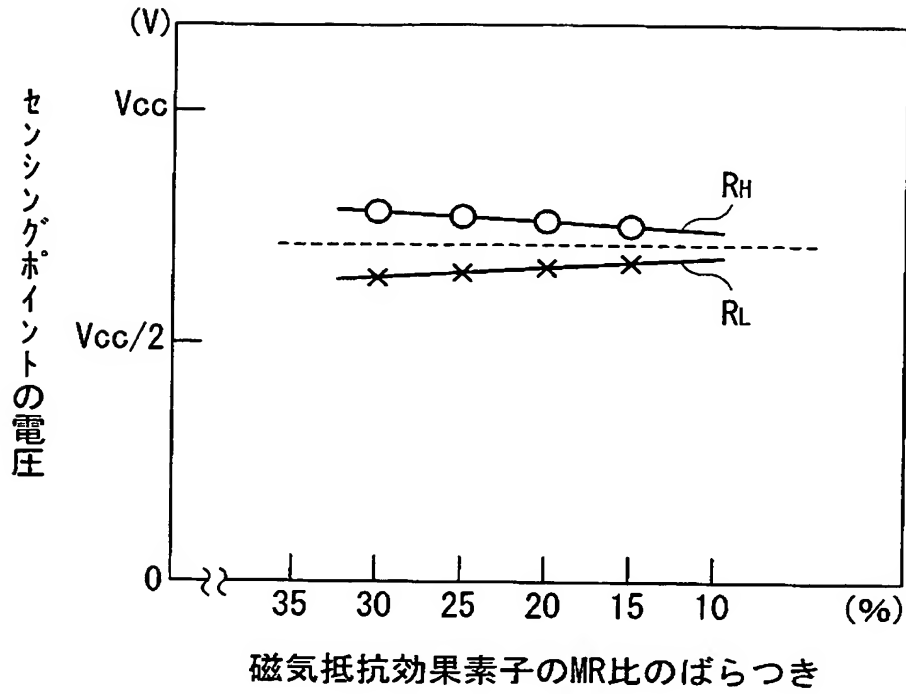
【図 2 2】



【図 2 3】



【図 24】



【書類名】 要約書

【要約】

【課題】 S/N 比が高い読み出し信号出力を得ることが可能な磁気メモリデバイスおよび磁気メモリデバイスの読出方法、並びに、 S/N 比が高い情報読み出しを可能とする磁気メモリデバイスの書込方法を提供する。

【解決手段】 記憶セル12は、1対の磁気記憶素子12A, 12Bからなる。磁気記憶素子12A, 12Bはそれぞれ、一端がセンスビット線21A, 21Bに、他端が1対の逆流防止用ダイオード13A, 13Bを介してセンスワード線31に接続される。センスワード線31の接地側に、定電流回路108Bが配設されている。定電流回路108Bは、センスワード線31を流れる電流を一定とする機能を有し、定電圧発生用のダイオード32, トランジスタ33および電流制限抵抗器34から構成されている。

【選択図】 図2

認定・付加情報

特許出願の番号	特願 2002-280094
受付番号	50201435962
書類名	特許願
担当官	末武 実 1912
作成日	平成14年10月 8日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000003067
【住所又は居所】	東京都中央区日本橋1丁目13番1号
【氏名又は名称】	ティーディーケイ株式会社

【代理人】

申請人

【識別番号】	100109656
【住所又は居所】	東京都新宿区新宿1丁目9番5号 大台ビル2階 翼国際特許事務所

【氏名又は名称】	三反崎 泰司
----------	--------

【代理人】

【識別番号】	100098785
【住所又は居所】	東京都新宿区新宿1丁目9番5号 大台ビル2階 翼国際特許事務所

【氏名又は名称】	藤島 洋一郎
----------	--------

次頁無

特願 2 0 0 2 - 2 8 0 0 9 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 6 7]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都中央区日本橋 1 丁目 1 3 番 1 号

氏 名

ティーディーケイ株式会社

2. 変更年月日

2 0 0 3 年 6 月 2 7 日

[変更理由]

名称変更

住 所

東京都中央区日本橋 1 丁目 1 3 番 1 号

氏 名

T D K 株式会社